



(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication

number:

1020030001217 A

(43) Date of publication of application:

06.01.2003

(21) Application number: 1020020006192

(71) Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(22) Date of filing: 04.02.2002

(72) Inventor:

JUNG, DONG JIN
KIM, GI NAM
KIM, HYEON HO
LEE, GYU MAN
NAM, SANG DON

(30) Priority: 26.06.2001 KR

1020010036624

(51) Int. Cl

H01L 27/105

(54) FERROELECTRIC MEMORY DEVICE HAVING EXTENDED PLATE LINE AND METHOD FOR
FABRICATING THE SAME

(57) Abstract:

PURPOSE: A ferroelectric memory device having an extended plate line and a method for fabricating the same are provided to maximize a contact area between a plate line and an upper electrode and improve an insulating characteristic between the plate line and a main word line.

CONSTITUTION: An isolation layer(53) is formed on a semiconductor substrate(51). A plurality of insulated gate electrodes(57) are formed across the isolation layer(53). An active region is divided into one common drain region(61d) and two source regions(61s). A lower interlayer dielectric(74) is deposited on a whole surface of the above structure. A plurality of contact plugs(75) are connected with the source regions(61s). A ferroelectric capacitor(82) is arranged on the whole surface of the above structure. The ferroelectric capacitor(82) includes a lower electrode(77), a ferroelectric layer pattern(79), and an upper electrode(81). An insulating layer pattern(85a) are formed on a gap region between the ferroelectric capacitors(82). A local plate line(87) is formed on the ferroelectric capacitor(82) and the insulating layer pattern(85a). The first and the second upper interlayer dielectric(89,93) are deposited thereon. A main word line(91) is inserted between the first and the second upper interlayer dielectric(89,93). A main plate line(97) is connected with the local plate line(87) through a slit type via hole(95).

&copy; KIPO 2003

Legal Status

Date of final disposal of an application (20040130)

공개특허 제2003-1217호(2003.01.06) 1부.

[첨부그림 1]

특 2003-0001217

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

| | |
|------------------------------|---|
| (51) Int. Cl. HD1L 27/105 | (11) 공개번호 특2003-0001217 |
| (21) 출원번호 2002-006192 | (43) 공개일자 2003년01월06일 |
| (22) 출원일자 2002년02월04일 | |
| (30) 우선권주장 (71) 출원인 | i020010036624 2001년06월26일 대한민국(KR) 삼성전자 주식회사 |
| (72) 발명자 이규만 | 경기 수원시 팔달구 매단3동 416번지 서울특별시 강남구 도곡동 951-18번지 월산주택 304호 |
| | 경기도 용인시 기흥읍 신갈리 갈현마을 현대홈타운 아파트 504동 1001호 |
| | 김현호 |
| | 경기도 용인시 수지구 풍덕천리 한국아파트 102동 506호 |
| | 정동진 |
| | 경기도 수원시 팔달구 영통동 두산아파트 804동 202호 |
| | 김기남 |
| (74) 대리인 임창현 | 경기도 안양시 동안구 평촌동 꿈나무라이프아파트 108동 502호 |

상세항구 : 원문

(54) 확장된 플레이트 라인을 갖는 강유전체 메모리소자 및 그제조방법

요약

강유전체 메모리소자 및 그 제조방법을 제공한다. 이 강유전체 메모리소자는 하나의 확장된 플레이트, 라인이 '셀' 어레이 영역 내에서 서로 마이너스 적어도 2개의 헴들 상에 배열된 강유전체 커패시터들과 직접적으로 접속된다. 이와는 달리, 서로 마이너스 적어도 2개의 헴들 상에 배열된 강유전체 커패시터들은 하나의 풍선 상부전극을 공유할 수도 있다. 이 경우에, 상기 풍선 상부전극은 상기 확장된 플레이트 라인과 직접적으로 접속된다. 여기서, 상기 플레이트 라인은 국부 플레이트 라인 및 주 플레이트 라인으로 구성된다. 이와는 달리, 상기 플레이트 라인은 상기 국부 플레이트 라인 또는 상기 주 플레이트 라인만으로 구성될 수도 있다. 상기 국부 플레이트 라인은 '셀' 어레이 영역 내에 복수개의 강유전체 커패시터들을 형성할 다음, 그 결과를 전면에 하부 플레이트막을 형성하고, 이를 패터닝하여 형성된다. 상기 주 플레이트 라인은 상기 복수개의 강유전체 커패시터를 또는 상기 국부 플레이트 라인을 갖는 반도체기판의 전면에 상부 층간접연막을 형성하고, 상기 상부 층간접연막을 패터닝하여 블릿형 비마홀을 형성하고, 상기 블릿형 비마홀을 뒤집은 상부 플레이트막을 형성하고, 상기 상부 플레이트막을 패터닝하여 형성된다.

도표도

도5

도6

도7

도8

도 1 내지 도 3은 종래의 강유전체 메모리소자를 제조하는 방법을 설명하기 위한 단면도들이다.

도 4는 본 발명에 따른 강유전체 메모리소자의 '셀' 어레이 영역을 보여주는 평면도이다.

도 5는 본 발명의 일 실시예에 따른 강유전체 메모리소자를 설명하기 위한 사시도이다.

도 6은 본 발명의 다른 실시예에 따른 강유전체 메모리소자를 설명하기 위한 사시도이다.

도 7은 본 발명의 또 다른 실시예에 따른 강유전체 메모리소자를 설명하기 위한 사시도이다.

도 8 내지 도 14는 도 4의 1-1'에 따른 본 발명의 일 실시예에 따른 강유전체 메모리소자의 제조방법을 설명하기 위한 단면도들이다.

도 15 내지 도 19는 도 4의 1-1'에 따른 본 발명의 다른 실시예에 따른 강유전체 메모리소자의 제조방법을 설명하기 위한 단면도들이다.

[첨부그림 2]

특 2009-0001217

도 20 내지 도 24는 도 4의 I-I'에 따라 본 발명의 또 다른 실시예에 따른 강유전체 메모리소자의 제조 방법을 설명하기 위한 단면도들이다.

도 25는 본 발명의 변형예에 따른 강유전체 메모리소자의 씬 어레이 영역을 보여주는 평면도이다.

도 26은 도 25의 II-II'에 따라 본 발명의 변형예에 따른 강유전체 메모리소자 및 그 제조방법을 설명하기 위한 단면도들이다.

발명의 실체와 조치

발명의 특징

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 특히 확장된 플레이트 라인을 갖는 강유전체 메모리소자 및 그 제조방법에 관한 것이다.

반도체소자를 중에 강유전체 메모리소자는 전원이 공급되지 않을지라도 전 상태의 데이터(previous.dat)를 간접하는 비회발성 특성을 갖는다. 이에 대하여, 강유전체 메모리소자는 디램 및 에스램과 같이 낮은 전원전압에서 동작하는 특성을 갖는다. 따라서 강유전체 메모리소자는 스마트 카드(smart card) 등에 널리 사용될 수 있는 유력한 후보로 각광을 받고 있다.

도 1 내지 도 3은 종래의 강유전체 메모리소자를 제조하는 방법을 설명하기 위한 단면도들이다.

도 1을 참조하면, 반도체 기판(11)의 소정영역에 소자분리막(13)을 형성하여 활성영역을 한정한다. 상기 활성영역 및 소자분리막(13)을 가로지르는 복수개의 절연된 게이트 전극들(15), 즉 웨드라인들을 형성한다. 이어서, 상기 게이트 전극들(15) 사이의 활성영역에 복수를 이용하여 소소스/드레인 영역들(I's, D's)을 형성한다. 상기 소소스/드레인 영역들(I's, D's)이 형성된 결과물의 전면에 제1 하부 충간 절연막(19)을 형성한다. 상기 제1 하부 충간 절연막(19)을 패터닝하여 상기 소소스 영역들(I's)를 노출시키는 스토리지 노드 콘택홀을 형성한다. 다음에, 상기 스토리지 노드 콘택홀을 내에 콘택 플러그들(21)을 형성한다.

도 2를 참조하면, 상기 콘택 플러그들(21)을 갖는 반도체기판의 전면에 2차원적으로 배열된 강유전체 커페시터들(32)을 형성한다. 상기 강유전체 커페시터들(32)는 차례로 적층된 하부전극(27), 강유전체막, 페린(29) 및 상부전극(31)으로 구성된다. 상기 하부전극들(27)의 각각은 상기 콘택 플러그(21)를 모는다. 상기 강유전체 커페시터들(32)을 갖는 반도체기판의 전면에 제1 상부 충간 절연막(33)을 형성한다.

이어서, 상기 제1 상부 충간 절연막(33) 상에 상기 게이트 전극들(15)과 팽팽한 폭수거의 주 웨드라인들(word lines; 35)을 형성한다. 상기 각 주 웨드라인(35)은 통상적으로 4개의 웨드라인들(15)을 제어한다.

도 3을 참조하면, 상기 주 웨드라인들(35)을 갖는 반도체기판의 전면에 제2 상부 충간 절연막(37)을 형성한다. 상기 제2 상부 충간 절연막(37) 및 제1 상부 충간 절연막(33)을 패터닝하여 상기 상부전극들(31)을 노출시키는 바이홀들(39)을 형성한다. 이때, 상기 각 바이홀들(39)의 증횡비(aspect ratio)를 감소시키기 위하여 습식식각 공정 및 건식식각 공정을 사용할 수도 있다. 이 경우에, 도 30에 도시된 바와 같이 상기 바이홀들(39)은 경사진 상부 층면(39a)을 갖는다. 그러나, 상기 습식식각 공정을 과도하게 실시하면, 상기 주 웨드라인(35)이 노출될 수 있다.

한편, 상기 바이홀들(39)의 증횡비를 감소시키기 위한 다른 방법으로 상기 바이홀들(39)의 직경을 증가시킬 수도 있다. 그러나, 상기 바이홀들(39) 및 미와 인접한 상기 주 웨드라인(35) 사이의 간격(s)은 강유전체 메모리소자의 접적도가 증가됨에 따라 점점 감소한다. 따라서, 상기 바이홀들(39)의 직경을 증가시키는 경우에는, 상기 바이홀들(39)을 형성하기 위한 사전공정을 실시하는 등에 정밀한 정렬(precise alignment)이 요구된다.

계속해서, 상기 바이홀들(39)을 갖는 복수개의 플레이트 라인들(41)을 형성한다. 상기 플레이트 라인들(41)은 상기 주 웨드라인들(35)과 팽팽하도록 배치된다.

상용한 바와 같이 종래의 기술에 따르면, 상기 바이홀들의 증횡비를 감소시키면, 상기 주 웨드라인들이 노출될 수 있는 확률이 증가한다. 이에 따라, 상기 상부전극 및 상기 플레이트 라인 사이의 콘택 플러그(contact failure)과 마찰러 상기 플레이트 라인 및 상기 주 웨드라인 사이의 전기적인 단락(electrical short)을 모두 해결하기가 어렵다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 플레이트 라인 및 상부전극 사이의 콘택면적을 극대화시킬 수 있음을 물론 플레이트 라인 및 주 웨드라인 사이의 접연특성을 확보할 수 있는 강유전체 메모리소자를 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 플레이트 라인 및 상부전극 사이의 콘택면적을 극대화시킬 수 있음을 물론 플레이트 라인 및 주 웨드라인 사이의 접연특성을 확보할 수 있는 강유전체 메모리소자의 제조방법을 제공하는 데 있다.

발명의 구조 및 작동

상기 기술적 과제를 이루기 위하여 본 발명은 서로 미忤하는 적어도 2개의 행들(rows) 상에 배열된 상부 전극들과 직접적으로 접촉하는 확장된(expanded) 플레이트 라인을 갖는 강유전체 메모리소자를 제공한다.

특 2003-0001217

이 강유전체 메모리소자는 반도체기판 상에 형성된 하부 충간접연막을 구비한다. 상기 하부 충간접연막 상에 복수개의 강유전체 커파시터들이 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 상기 복수개의 강유전체 커파시터들을 갖는 반도체기판의 전면은 상부 충간접연막에 의해 덮여진다. 상기 상부 충간접연막은 차례로 적층된 제1 및 제2 상부 충간접연막으로 구성된다. 상기 플레이트 라인들의 각각은 서로 이웃한 적어도 2개의 행들(rows) 내에 배치된 상기 강유전체 커파시터들을 사이에 복수개의 주 웨드라인(main word lines)들이 배치될 수 있다. 상기 주 웨드라인들은 상기 열 방향과 평행하다.

한편, 상기 플레이트 라인은 적어도 2개의 인접한 행들 및 적어도 하나의 열 내에 배열된 상기 강유전체 커파시터들과 접촉할 수도 있다.

상기 플레이트 라인은 상기 상부 충간접연막에 의해 덮여진 국부 플레이트 라인(local plate line)이나, 상기 상부 충간접연막을 관통하는 슬릿형 비마홀(slit-type via hole)을 갖는 주 플레이트 라인(main plate line)일 수도 있다. 이와는 다르게, 상기 플레이트 라인은 상기 국부 플레이트 라인 및 상기 주 플레이트 라인을 포함할 수도 있다. 상기 슬릿형 비마홀들의 각각은 상기 주 웨드라인을 사이에 위치한다.

한편, 상기 강유전체 커파시터들의 각각은 차례로 적층된 하부전극(bottom electrode), 강유전체막 패턴(ferroelectric layer pattern) 및 상부전극(top electrode)으로 구성된다. 이 경우에, 상기 플레이트 라인들의 각각은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 상부전극들과 적층적으로 접촉한다. 이와는 달리, 서로 이웃하는 적어도 2개의 행들 내에 배열된 상기 강유전체 커파시터들의 상부전극들은 하나의 국부 플레이트 패턴에 라인 대신에 복수개의 국부 플레이트 패턴들과 접촉할 수도 있다. 따라서, 상기 복수개의 국부 플레이트 패턴들의 각각은 적어도 2개의 인접한 행들 및 적어도 하나의 열 내에 배치된 강유전체 커파시터들의 상부전극들과 접촉될 수 있다. 바탕작하게는, 상기 복수개의 국부 플레이트 패턴들의 각각은 적어도 2개의 인접한 행들 및 적어도 2개의 행들 상에 배치된 상기 강유전체 커파시터들의 상부전극들과 접촉한다. 이 경우에, 상기 주 플레이트 라인들의 각각은 복수개의 비마홀들을 통하여 상기 복수개의 국부 플레이트 패턴들과 겹쳐지며, 상기 주 플레이트 라인들의 각각은 상기 슬릿형 비마홀을 통하여 상기 복수개의 국부 플레이트 패턴들과 겹쳐지며 접촉될 수도 있다. 여기서, 상기 강유전체 커파시터를 사이의 겹 영역은 상기 상부 충간접연막에 대하여 석각 선택비율 갖는 물질막으로 채워지는 것이 바탕작하다.

이에 대하여, 상기 강유전체 커파시터들의 각각은 차례로 적층된 하부전극, 강유전체막 패턴 및 공동, 상부전극(common top electrode)으로 구성될 수도 있다. 여기서, 상기 공동, 상부전극은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체막 패턴들을 갖는다. 여기서, 상기 하부전극들 사이의 겹 영역 및 상기 강유전체막 패턴은 서로 겹친다. 이와는 달리, 상기 주 플레이트 라인들의 각각은 상기 슬릿형 비마홀을 통하여 상기 복수개의 국부 플레이트 패턴들과 겹쳐지며 접촉될 수도 있다. 여기서, 상기 강유전체 커파시터를 사이의 겹 영역은 상기 상부 충간접연막에 대하여 석각 선택비율 갖는 물질막으로 채워지는 것이 바탕작하다.

또한, 상기 강유전체 커파시터들의 각각은 차례로 적층된 하부전극, 공동, 강유전체막 패턴 및 공동, 상부전극으로 구성될 수도 있다. 여기서, 상기 공동, 상부전극은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 하부전극들을 갖는다. 상기 하부전극들은 서로 겹친다. 이에 따라, 상기 공동, 상부전극은 상기 플레이트 라인과 적층적으로 접촉한다.

상기 다른 기술적 과정은 차례로 적층된 하부전극, 강유전체막 패턴 및 공동, 상부전극(common top electrode)으로 구성될 수도 있다. 여기서, 상기 공동, 상부전극은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체막 패턴들을 갖는다. 여기서, 상기 하부전극들 사이의 겹 영역 및 상기 강유전체막 패턴은 서로 겹친다. 이와는 달리, 상기 주 플레이트 라인들의 각각은 상기 행 방향과 평행하게 형성된다. 상기 플레이트 라인들의 각각은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체 커파시터들의 상부전극들과 적층적으로 접촉한다. 또한, 상기 상부 충간접연막은 제1 및 제2 상부 충간접연막을 차례로 적층시킴으로써 형성될 수 있다.

상기 복수개의 강유전체 커파시터들을 형성하는 방법은, 상기 하부 충간접연막 상에 하부전극막, 강유전체막 및 상부전극막을 차례로 형성하는 것과, 상기 상부전극막, 강유전체막 및 하부전극막을 연속적으로 패턴화하는 것을 포함한다. 상기 하부전극막을 차례로 형성하는 것을 포함한다. 상기 하부전극막은 차례로 적층된 복수개의 강유전체 커파시터들을 형성하는 것을 포함한다. 이에 따라, 상기 강유전체 커파시터들의 각각은 차례로 적층된 하부전극, 강유전체막 패턴 및 상부전극으로 구성된다. 이 경우에, 상기 플레이트 라인들의 각각은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 상부전극들과 접촉한다. 상기 강유전체 커파시터를 사이의 겹 영역을 채우는 절연막 패턴을 형성하는 것이 바탕작이다.

다른 방법으로(alternatively), 상기 복수개의 강유전체 커파시터들을 형성하는 방법은, 상기 하부 충간접연막 상에 하부전극막 및 강유전체막을 차례로 형성하는 것을 포함한다. 이어서, 상기 강유전체막 및 하부전극막을 연속적으로 패턴화하여 상기 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 하부전극막 및 상기 하부전극을 상에 적층된 복수개의 강유전체막 패턴을 형성한다. 상기 강유전체막 패턴은 사이의 겹 영역 및 상기 하부전극을 사이의 겹 영역을 채우는 절연막 패턴을 형성한다. 상기 하부전극막을 패턴화하여 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체막 패턴들을 갖는 공동, 상부전극을 형성한다. 상기 공동, 상부전극은 상기 플레이트 라인과 접촉한다.

상기 복수개의 강유전체 커파시터들을 형성하는 또 다른 방법은 상기 하부 충간접연막 상에 상기 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 하부전극들을 형성하는 것을 포함한다. 상기 하부전극들을 갖는 반도체기판 전면에 강유전체막 및 상부전극막을 차례로 형성한다. 상기 상부전극막 및 강유전체막을 패턴화하여 차례로 적층된 공동, 강유전체막 패턴 및 공동, 상부전극을 형성한다. 여기서, 상기 공동

[첨부그림 4]

특 2003-0001217

강유전체막 패턴은 서로 마우히는 적어도 2개의 헤를 상에 배열된 상기 하부전극을 덮는다. 따라서, 상기 공통 상부전극은 상기 플레이트 라인 및 상기 강유전체막 패턴 사이에 개재된다. 상기 강유전체막을 형성하기 전에, 상기 하부전극들 사이의 껌 영역을 채우는 하부 절연막 패턴을 형성하는 것이 바람직하다.

한편, 상기 상부 충간절연막 및 상기 복수개의 플레이트 라인들을 형성하는 방법은 상기 복수개의 강유전체 커파시터들을 갖는 반도체기판의 전면에 하부 플레이트막을 형성하는 것을 포함한다. 상기 하부 플레이트막은 패터닝하여 서로 마우히는 적어도 2개의 헤를 상에 배열된 상기 강유전체 커파시터들을 덮는 국부 플레이트 라인을 형성한다. 이와는 달리, 상기 하부 플레이트막을 패터닝하여 서로 마우히는 적어도 2개의 헤를 및 서로 마우히는 2개의 헤를 상에 배열된 상기 강유전체 커파시터들을 덮는 복수개의 국부 플레이트 패턴들을 형성할 수도 있다. 결과적으로, 상기 국부 플레이트 라인 대신에 상기 복수개의 국부 플레이트 패턴들이 형성된다. 이 경우에, 상기 복수개의 국부 플레이트 패턴들에 기인하는 흘리적인 스트레스는 상기 복수개의 국부 플레이트 라인들에 기인하는 흘리적인 스트레스에 비하여 작다. 특히, 상기 하부 플레이트막을 미리다음의 일 미리다음 산화막을 적어도 어느 한나라 형성하는 경우에, 상기 복수개의 국부 플레이트 라인들에 기인하는 흘리적인 스트레스는 상기 복수개의 국부 플레이트 라인들에 기인하는 흘리적인 스트레스에 비하여 작다. 이에 따라, 상기 하부 플레이트 패턴들을 형성하면, 상기 강유전체막 패턴들의 강유전체막의 저항을 현저히 억제시킬 수 있다.

이어서, 상기 국부 플레이트 라인을 갖는 반도체기판의 전면에 상부 충간절연막을 형성한다. 여기서, 상기 상부 충간절연막은 제1 및 제2 상부 충간절연막을 차례로 적층시키며 형성할 수 있다. 이에 더하여, 상기 제2 상부 충간절연막을 형성하기 전에, 상기 제1 상부 충간절연막에 상기 열 방출과 평행한 복수개의 주 워드라인들을 형성할 수 있다. 상기 제2 상부 충간절연막 및 제1 상부 충간절연막을 연속적으로 패터닝하여 상기 주 워드라인들과 평행한 슬릿형 비마홀을 추가로 형성할 수도 있다. 상기 슬릿형 비마홀은 상기 주 워드라인들 사이의 상기 상부 충간절연막을 편평하여 상기 국부 플레이트 라인을 노출시킨다. 상기 슬릿형 비마홀은 주 플레이트 라인을 형성한다.

한편, 상기 국부 플레이트 라인 대신에 상기 복수개의 국부 플레이트 패턴들을 형성하는 경우에는, 상기 슬릿형 비마홀은 상기 복수개의 국부 플레이트 패턴들 및 미리다음 사이의 상기 하부 절연막 패턴들을 노출시킨다. 이와는 달리, 상기 슬릿형 비마홀은 대신에 상기 복수개의 국부 플레이트 패턴들을 노출시키는 복수개의 비마홀을 형성할 수도 있다.

다른 방법으로, 상기 상부 충간절연막 및 상기 복수개의 플레이트 라인들을 형성하는 방법은 상기 복수개의 강유전체 커파시터들을 갖는 반도체기판의 전면에 상부 충간절연막을 형성하는 것을 포함한다. 상기 상부 충간절연막은 제1 및 제2 상부 충간절연막들을 차례로 적층시키며 형성할 수 있다. 이때, 상기 제1 및 제2 상부 충간절연막을 사이에 상기 열 방출과 평행한 주 워드라인들을 형성할 수 있다. 상기 상부 충간절연막을 패터닝하여 상기 주 워드라인들 사이에 상기 열 방출과 평행한 슬릿형 비마홀을 형성한다. 상기 슬릿형 비마홀은 서로 마우히는 적어도 2개의 헤를 상에 배열된 상기 강유전체 커파시터들의 상부면들을 노출시킨다. 상기 슬릿형 비마홀을 덮는 주 플레이트 라인을 형성한다.

상기 강유전체 커파시터들의 각각이 차례로 접촉되는 상기 하부전극, 상기 강유전체막 패턴 및 상기 상부전극으로 구성되는 경우에는, 상기 슬릿형 비마홀은 서로 마우히는 적어도 2개의 헤를 상에 배열된 상기 하부전극들을 노출시킨다. 이 경우에, 상기 강유전체 커파시터들 사이의 껌 영역을 채우는 절연막 패턴은 상기 상부 충간절연막에 대하여 적각 선택비율을 갖는 흘리막으로 형성하는 것이 바람직하다.

또한, 상기 강유전체 커파시터들의 각각이 상기 공통 상부전극을 포함하는 경우에는 상기 슬릿형 비마홀은 상기 공통 상부전극을 노출시킨다.

더 나아가서, 상기 하부전극들의 각각은 상기 하부 충간절연막을 관통하는 스토리지 노드 콘택홀을 통하여 상기 반도체기판의 소정영역과 견기적으로 접속된다. 상기 스토리지 노드 콘택홀의 상부 적경은 그 것의 하부적경보다 큼 것이다. 또한, 적어도 2개의 상기 강유전체막 패턴의 측벽 또는 상기 공통 강유전체막 패턴의 측벽에 수소차단막 패턴을 형성하는 것이 바람직하다.

이하, 첨부한 도면들을 참조하여 본 발명의 바탕작은 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서, 설명되어야 하는 실시예들에 한정되지 않고, 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 확장하고 완전해질 수 있도록 그리고 당연지에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어야 하는 것이다. 도면들에 있어서, 헤 및 영역들의 두께는 명확성을 기하기 위하여 과정되어야 한다. 또한, 헤는 다른 헤 또는 기판 상에 있다고 언급되어야 하는 경우에 그것은 다른 헤 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 헤가 개재될 수도 있다. 명세서 전체에 걸쳐서 등장한 첨부번호들은 동일한 구성요소들을 나타낸다.

도 4는 본 발명에 따른 강유전체 메모리소자의 셀 아래의 영역의 일 부분을 보여주는 평면도이고, 도 5 내지 도 7은 각각 본 발명의 제1 내지 제3 실시예들에 따른 강유전체 메모리소자를 설명하기 위한 사시도들이다.

도 4 및 도 5를 참조하면, 반도체기판(51)의 소정영역에 소자분리막(53)이 배치된다. 상기 소자분리막(53)은 2차원적으로 배열된 복수개의 활성영역들(53a)을 한정한다. 상기 활성영역들(53a) 및 소자분리막(53)을 가로질러 복수개의 절연막(53b)을 차례로 적층시킨다. 상기 절연막(53b)은 2개의 부분으로 나뉘어진다. 상기 한 쪽의 절연막(53b)은 행(y축)과 평행하다. 상기 행 절연막(53b)은 각각은 상기 한 쪽의 게이트전극들(57)은 행(y축)과 평행하다. 상기 행 절연막(53b)은 3개의 부분으로 나뉘어진다. 상기 한 쪽의 게이트전극들(57)과 교차한다. 이에 따라, 상기 각각의 행 절연막(53b)은 3개의 부분으로 나뉘어진다. 상기 한 쪽의 게이트전극들(57) 사이의 활성영역(53a)에 공통 드레인 영역(61d)이 형성되고, 상기 공통 드레인 영역(61d)의 양 옆의 활성영역들(53a)에 소오스 영역들(61s)이 형성된다. 따라서, 상기 게이트전극(57)을 및 상기 활성영역들(53a)이 교차하는 지점들(points)에 헬트्र란지스터들이 형성된다. 결과적으로, 헬트्र란지스터들을 열 방향(x축) 및 행 방향(y축)을 따라 2차원적으로 배열된다.

상기 셀 트랜지스터들을 갖는 반도체기판의 전면은 하부 충간절연막(24)에 의해 덮여진다. 상기 하부 충간절연막(24) 내에 상기 워드라인들(57)의 상부를 가로지르는 복수개의 비트라인들(?)이 배치된다. 상기

[첨부 그림 5]

특 2003-0001217

비트리아인(71)의 각각은 비트리아인 콘택트(71a)를 통하여 상기 공통 드레인 영역(61d)과 전기적으로 접속된다. 상기 소오스 영역(61s)은 상기 하부 충간절연막(74)을 관통하는 스트리지 노드 콘택트홀(75a)에 의해 노출된다. 상기 스트리지 노드 콘택트(75a)의 상부측면(upper sidewall)은 경사진 프로파일(sloped profile)을 갖는 것이 바람직하다. 상기 스트리지 노드 콘택트홀(75a)은 각각 콘택트 플러그들(75)에 의해 채워진다. 결과적으로, 도 5에 도시된 바와 같이 상기 콘택트 플러그들(75)의 상부좌경은 그것의 하부좌경보다 크다.

상기 콘택트 플러그들(75)을 갖는 반도체기판의 전면에 상기 헬 방향(x축) 및 상기 행 방향(y축)을 따라 2차원적으로 배열된 복수개의 강유전체 커피시터들(82)이 4의 CP(4)에 배치된다. 상기 강유전체 커피시터들(82)의 각각은 차례로 적용된 하부전극(77), 강유전체막 패턴(79) 및 상부전극(81)을 포함한다. 상기 하부전극(77)은 각각 상기 콘택트 플러그들(75)에 위치한다. 결과적으로, 상기 하부전극(77)은 상기 콘택트 플러그들(75)을 통하여 상기 소오스 영역(61s)과 전기적으로 접속된다. 상기 강유전체 커피시터들(82) 사이의 간격은 첨연막 패턴(85a)으로 채워지는 것이 바람직하다.

이에 더하여, 상기 절연막 패턴(85a) 및 적어도 상기 강유전체막 패턴들(79) 사이에 수소차단막 패턴(hydrogen barrier layer pattern; 83a)이 개재되는 것이 바람직하다. 상기 수소차단막 패턴(83a)은 타이타늄 산화막(TiO_x), 알루미늄 산화막(Al_xO_y), 실리콘 산화막(Si_xN_y) 또는 이를의 조합인(combination layer)인 것이 바람직하다. 따라서, 상기 강유전체막 패턴(79) 내부로 수소원자들이 침투되는 것을 방지할 수 있다. 상기 강유전체막 패턴(79) 내부로 수소원자들이 주입하면, 강유전체막 패턴(79)의 신뢰성이 저하된다. 예를 들어, PZT(Pb_xZr_{1-x}TiO₃)막과 같은 강유전체막 내에 수소원자들이 주입되면, 상기 PZT막 내의 산소 원자들과 상기 수소 원자들이 반응하여 PZT막 내에 산소 공공(oxygen vacancy)이 생성된다. 이러한 산소 공공은 강유전체의 분극특성(polarization characteristic)을 저하시킨다. 그 결과, 강유전체 메모리소자의 오동작(malfunction)을 유발시킨다.

또한, 상기 수소원자들이 강유전체막 패턴 및 상기 하부 전극들(top/bottom electrodes) 사이의 계면에 포획되면, 이를 사이의 에너지 장벽(energy barrier)이 끊어진다. 따라서, 강유전체 커피시터의 두께를 줄여 신뢰성을 향상시킨다.

상기 강유전체 커피시터들(82) 및 상기 절연막 패턴(85a) 상에 복수개의 국부 플레이트 라인들(local plate lines; 87) 및 4의 PL(4)에 배치된다. 상기 국부 플레이트 라인들(87)은 금속막, 도전성 금속산화막(conductive metal oxide layer), 도전성 금속질화막(conductive metal nitride layer) 또는 이를의 복합막에 해당한다. 예를 들면, 상기 국부 플레이트 라인들(87)은 타이타늄 알루미늄 질화막(TiAlN), 타이타늄 흐막(Ti), 타이타늄 질화막(TiN), 미리디움 흐막(11), 미리디움 산화막(1102), 백금막(Pt), 두테니움 막(Ru), 투테니움 산화막(RuO₂), 알루미늄 막(Al) 또는 이를의 복합막일 수 있다. 상기 국부 플레이트 라인들(87)은 상기 행 방향(x축)과 평행하도록 배치된다. 또한, 상기 국부 플레이트 라인들(87)의 각각은 서로 이웃하는 적어도 2개의 헬을 상에 배열된 상기 강유전체 커피시터들(82)을 덮는다. 결과적으로, 상기 국부 플레이트 라인(87)은 서로 이웃하는 적어도 2개의 행을 상에 배열된 상기 하부전극들(81)과 직접적으로 접촉된다. 상기 국부 플레이트 라인들(87)을 갖는 반도체기판의 전면은 상기 충간절연막들(89, 93)을 포함할 수 있다.

이에 더하여, 상기 제1 및 제2 상부 충간절연막들(89, 93) 사이에 복수개의 주 워드라인들(word lines; 91)이 개재될 수 있다. 상기 주 워드라인들(91)은 상기 행 방향(y축)을 따라 연장되어 상기 국부 플레이트 라인들(87)과 평행하다. 상기 주 워드라인들(91)의 각각은 일반적으로 디코더(decoder)를 통하여 4개의 워드라인들(57)을 제어한다. 또한, 상기 주 워드라인들(91) 사이의 상기 상부 충간절연막 내에 주 플레이트 라인(97)이 배치될 수 있다. 상기 주 플레이트 라인(97)은 상기 상부 충간절연막을 관통하는 슬릿형 비마홀(95)을 통하여 상기 국부 플레이트 라인(87)과 전기적으로 접속된다. 상기 슬릿형 비마홀(95)은 상기 행 방향(y축)과 평행하고, 상기 국부 플레이트 라인(87)을 노출시킨다. 도 5에 보여진 바와 같이, 상기 슬릿형 비마홀(95)의 쪽은 충래기술에서의 비마홀(도 39)의 직경보다 크다. 또한, 상기 국부 플레이트 라인(87)은 상기 상부전극들(81)의 상부면과 직접 접촉한다.

상기 국부 플레이트 라인(87) 및 상기 주 플레이트 라인(97)은 플레이트 라인을 구성한다. 상기 플레이트 라인은 상기 국부 플레이트 라인(87) 또는 상기 주 플레이트 라인(97)만으로 구성될 수도 있다. 상기 플레이트 라인은 상기 주 플레이트 라인(97)만으로 구성되는 경우에는 상기 주 플레이트 라인(97)은 상기 슬릿형 비마홀(95)을 통하여 적어도 2개의 인접한 행들 내에 배치된 상기 강유전체 커피시터들의 상부전극들(81)과 접촉한다. 또한, 상기 플레이트 라인(97)은 상기 주 플레이트 라인(97)만으로 구성되는 경우에, 상기 절연막 패턴(85a)은 상기 상부 충간절연막에 대하여 각각 선택비를 갖는 물질막인 것이 바람직하다. 예를 들면, 상기 상부 충간절연막이 실리콘 산화막인 경우에, 상기 절연막 패턴(85a)은 실리콘 질화막인 것이 바람직하다.

도 6은 본 발명의 제2 실시예에 따른 강유전체 메모리소자를 설명하기 위한 사시도이다. 본 발명의 제2 실시예에 있어서, 셀 트랜지스터를 하부 충간절연막 및 콘택트 플러그들은 도 5에서 설명된 본 발명의 제1 실시예의 그것들을 동일한 조건을 갖는다. 따라서, 이들에 대한 설명은 생략하기로 한다.

도 4 및 도 6를 참조하면, 상기 하부 충간절연막(74) 상에 상기 콘택트 플러그들(75)을 덮는 복수개의 강유전체 커피시터들이 배치된다. 따라서, 상기 강유전체 커피시터들은 상기 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 상기 강유전체 커피시터들의 각각은 차례로 적용된 하부전극(101), 강유전체막 패턴(103) 및 공통 상부전극(109)으로 구성된다. 상기 공통 상부전극(109)은 적어도 2개의 인접한 행들 및 적어도 하나의 열 내에 배치된 상기 강유전체 커피시터들의 강유전체막 패턴들(103)과 접속된다. 구체적으로, 상기 공통 상부전극(109)은 면장되어 서로 이웃하는 적어도 2개의 행들 상에 배열된 강유전체막 패턴들(103)을 덮는다. 따라서, 상기 공통 상부전극(109)은 도 4의 국부 플레이트 라인(PL)과 같이 상기 행 방향과 평행하게 배치된다. 상기 강유전체막 패턴들(103) 사이의 겹 영역 및 상기 하부전극들(101) 사이의 겹 영역은 하부 절연막 패턴(107a)으로 채워지는 것이 바람직하다. 또한, 제1 실시예와 같이, 상기 하

[첨부그림 6]

특 2003-0001217

는 절연막 패턴(107) 및 적어도 상기 강유전체막 패턴(103) 사이에 수소차단막 패턴(105a)이 개재되는 것이 바람직하다.

상기 공통 상부전극(109)을 갖는 반도체기판의 전면은 상부 절연막(111)에 의해 덮여진다. 상기 상부 절연막(111)은 상기 공통 상부전극(109)을 노출시키는 슬릿형 흔적홀을 갖는다. 상기 슬릿형 흔적홀은 상기 행 방향(y축)과 평행하고 육부 플레이트 라인(113; 도 4의 PL)에 의해 덮여진다. 결과적으로, 상기 국부 플레이트 라인(113)은 상기 슬릿형 흔적홀을 통하여 상기 공통 상부전극(109)과 전기적으로 접속된다. 도시하지는 않았지만, 상기 국부 플레이트 라인(113) 대신에 특수개의 국부 플레이트 패턴을 더 배치될 수도 있다. 이 경우에, 상기 국부 플레이트 패턴들의 각각은 적어도 2개의 인접한 행들 및 적어도 하나의 열 내에 배열된 강유전체 커퍼시터들의 공통 상부전극(109)과 접속된다. 상기 국부 플레이트 라인(113)은 본 발명의 제1 실시예에서 설명한 국부 플레이트 라인(07)과 동일한 구조이다. 상기 국부 플레이트 라인(113)을 갖는 반도체기판의 전면은 상부 충간절연막에 의해 덮여진다. 상기 상부 충간절연막은 차례로 적출된 제1 및 제2 상부 충간절연막들(115; 119)을 포함한다.

더 나아가서, 상기 제1 및 제2 상부 충간절연막들(115; 119) 사이에 복수개의 주 웨드라인들(117)이 개재될 수 있다. 상기 주 웨드라인들(117)은 상기 행 방향과 평행하다. 이에 대하여, 상기 주 웨드라인들(117) 사이의 상기 상부 충간절연막 내에 주 플레이트 라인(123)이 배치될 수 있다. 상기 주 플레이트 라인(123)은 상기 상부 충간절연막을 관통하는 슬릿형 비마홀(121)을 통하여 상기 국부 플레이트 라인(113)과 전기적으로 접속된다. 상기 슬릿형 비마홀(121)은 상기 행 방향(y축)과 평행하다. 이외는 달리, 도시하지는 않았지만, 상기 국부 플레이트 라인(113)은 상기 슬릿형 비마홀(121) 대신에 특수개의 비마홀을에 의해 노출될 수도 있다.

상기 국부 플레이트 라인(113) 및 상기 주 플레이트 라인(123)은 플레이트 라인을 구성한다. 상기 플레이트 라인은 상기 국부 플레이트 라인(113) 또는 상기 주 플레이트 라인(123)만으로 구성될 수도 있다. 상기 플레이트 라인(123)은 상기 주 플레이트 라인(123)만으로 구성되는 경우에는, 상기 주 플레이트 라인(123)은 상기 슬릿형 비마홀(121)을 통하여 적어도 2개의 인접한 행들 내에 배치된 상기 강유전체 커퍼시터들의 공통 상부전극(109)과 직접 접속된다.

도 7은 본 발명의 제3 실시예에 따른 강유전체 메모리소자를 설명하기 위한 사시도이다. 본 발명의 제3 실시예에 있어서, 별트련지스터들, 하부 충간절연막 및 콘택트 플러그들은 도 5에서 설명된 본 발명의 제1 실시예의 그것들과 동일한 구조를 갖는다. 따라서, 이를에 대한 설명은 생략하기로 한다.

도 4 및 도 7을 참조하면, 상기 하부 충간절연막(74) 상에 상기 콘택트 플러그들(75)을 갖는 복수개의 강유전체 커퍼시터들이 배치된다. 따라서, 상기 강유전체 커퍼시터들은 상기 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 상기 강유전체 커퍼시터들의 각각은 차례로 적출된 하부전극(151), 공통 강유전체막 패턴(155) 및 공통 상부전극(157)으로 구성된다. 상기 공통 강유전체막 패턴(155)은 적어도 2개의 인접한 행들 및 적어도 하나의 열 내에 배치된 상기 하부전극들(151)과 직접 접속된다. 구체적으로, 상기 공통 강유전체막 패턴(155)은 연장되어 서로 미웃하는 적어도 2개의 험들 상에 배치된 상기 하부전극들(151)을 덮는다. 또한, 상기 공통 강유전체막 패턴(155)은 상기 공통 강유전체막 패턴(155) 상에 적출된다. 따라서, 상기 공통 강유전체막 패턴(155) 및 상기 공통 상부전극(157)은 도 4의 국부 플레이트 라인(PL)과 같이 상기 행 방향과 평행하게 배치된다.

상기 하부전극들(151) 사이의 갭 영역은 하부 절연막 패턴(153a)으로 채워지는 것이 바람직하다. 또한, 상기 공통 강유전체막 패턴(155) 사이의 갭 영역 및 상기 공통 상부전극들(157) 사이의 갭 영역은 상부 절연막 패턴(161)으로 채워지는 것이 바람직하다. 이에 대하여, 상기 상부 절연막 패턴(161) 및 적어도 상기 공통 강유전체막 패턴(155) 사이에 수소차단막 패턴(159)이 개재되는 것이 바람직하다.

상기 공통 상부전극(157) 상에 국부 플레이트 라인(163; 도 4의 PL)이 배치된다. 상기 국부 플레이트 라인(163)은 각각에 2개의 험들 및 적어도 하나의 열 내에 배치된 강유전체 커퍼시터들의 공통 상부전극(157)과 접속된다. 이에 대하여, 상기 국부 플레이트 라인(163)은 상기 행 방향(y축)과 평행하도록 연장될 수 있다. 상기 국부 플레이트 라인(163)은 본 발명의 제1 실시예에서 설명한 국부 플레이트 라인(07)과 동일한 구조이다. 상기 국부 플레이트 라인(163)을 갖는 반도체기판의 전면은 상부 충간절연막에 의해 덮여진다. 상기 상부 충간절연막은 차례로 적출된 제1 및 제2 상부 충간절연막들(165; 169)을 포함한다.

더 나아가서, 상기 제1 및 제2 상부 충간절연막들(165; 169) 사이에 복수개의 주 웨드라인들(167)이 개재될 수 있다. 상기 주 웨드라인들(167)은 상기 행 방향과 평행하다. 이에 대하여, 상기 주 웨드라인들(167) 사이의 상기 상부 충간절연막 내에 주 플레이트 라인(173)이 배치될 수 있다. 상기 주 플레이트 라인(173)은 상기 상부 충간절연막을 관통하는 슬릿형 비마홀(171)을 통하여 상기 국부 플레이트 라인(163)과 전기적으로 접속된다. 상기 슬릿형 비마홀(171)은 상기 행 방향(y축)과 평행하다. 상기 국부 플레이트 라인(163)은 상기 슬릿형 비마홀(171) 대신에 특수개의 비마홀을에 의해 노출될 수도 있다. 이 경우에, 상기 비마홀의 각각은 적어도 2개의 행들 및 적어도 하나의 열 내에 배치된 상기 강유전체 커퍼시터들의 공통 상부전극(157)과 직접 접속된다.

다음에, 본 발명에 따른 강유전체 메모리소자의 제조방법을 설명하기로 한다.

도 8 내지 도 14는 도 4의 I-I'에 따라 본 발명의 제1 실시예에 따른 강유전체 메모리소자의 제조방법을 설명하기 위한 단면도들이다.

도 8을 참조하면, 반도체기판(51)의 소정영역에 소자분리막(53)을 형성하여 복수개의 활성영역들(53a)을

특 2003-0001217

한정한다. 상기 활성영역들을 갖는 반도체기판의 전면에 게이트 절연막, 게이트 도전막 및 캐핑질연막을 차례로 형성된다. 상기 캐핑질연막, 게이트 도전막 및 게이트 절연막을 연속적으로 패터닝하여 상기 활성영역들(53a) 및 소자분리막(53)의 상부를 가로지르는 복수개의 평행한 게이트 패턴들(60)을 형성한다. 상기 게이트 패턴들(60)의 각각은 차례로 적층된 게이트 절연막 패턴(55), 게이트 전극(57) 및 캐핑질연막 패턴(59)으로 구성된다. 여기서, 상기 활성영역들의 각각은 상기 한 쌍의 게이트 전극들(57)과 교차된다. 상기 게이트 전극(57)은 워드라인에 해당된다. 바탕쪽하게는, 상기 게이트 패턴들(60)은 상기 행 방향(도 4의 y축)과 평행하도록 형성된다.

상기 게이트 패턴들(60) 및 상기 소자분리막(53)을 이온주입 마스크들로 사용하여 상기 활성영역들에 볼트을 미온률을 주입한다. 그 결과, 상기 각 활성영역에 3개의 볼트을 영역들이 형성된다. 이를 3개의 볼트을 영역들중 가운데의 볼트을 영역에 물드레인 영역(O1d)이 해당되고, 나머지 볼트을 영역들은 소나스 영역들(61a)에 해당한다. 이어 따라, 상기 각 활성영역에 한 쌍의 셀 트랜지스터들이 형성된다. 결과적으로, 상기 셀 트랜지스터들은 상기 반도체기판(51)에 헤드링 및 멀 방향들 따라 2차원적으로 배열된다. 이어서, 상기 게이트 패턴(60)의 축복에 통상의 방법을 사용하여 스페이서(63)를 형성한다.

도 9를 참조하면, 상기 스페이서(63)를 갖는 반도체기판의 전면에 제1 하부 충간절연막(65)을 형성한다. 상기 제1 하부 충간절연막(65)은 패터닝하여 상기 소오스/드레인 영역들(61a, 61d)을 노출시키는 패드-콘택처를 형성한다. 상기 패드-콘택처 내에 통상의 볼트을 사용하여 스토리지 노드 패드들(67s) 및 비트라인 패드들(67d)을 형성한다. 상기 스토리지 노드 패드들(67s)은 상기 소오스 영역들(61a)과 접속되고, 상기 비트라인 패드들(67d)은 상기 공용드레인 영역(61d)과 접속된다. 상기 패드들(67s, 67d)을 갖는 반도체기판의 전면에 제2 하부 충간절연막(69)을 형성한다. 상기 제2 하부 충간절연막(69)을 패터닝하여 상기 비트라인 패드들(67d)을 노출시키는 물드레인 콘택처들(도 4의 71a)을 형성한다. 상기 비트라인 콘택처들을 묶는 복수개의 평행한 비트라인들(71)을 형성한다. 상기 비트라인들(71)은 상기 워드라인들(57)의 상부를 가로지른다.

도 10을 참조하면, 상기 비트라인들(71)을 갖는 반도체기판의 전면에 제3 하부 충간절연막(73)을 형성한다. 상기 제1 하부 충간절연막(65)은 하부 충간절연막들(65, 69, 73)은 하부 충간절연막(74)을 구성한다. 이어서, 상기 제2 및 제3 하부 충간절연막들(69, 73)을 패터닝하여 상기 스토리지 노드 패드들(67s)을 노출시키는 스토리지 노드 콘택처들(도 4의 75a)을 형성한다. 상기 스토리지 노드 콘택처들은 그 것의 상부 직경을 증가시켜 위하여 습직 석각공정 및 건식 석각공정을 사용하여 형성할 수 있다. 이어 따라, 상기 스토리지 노드 콘택처의 상부 측벽은 도사진 바와 같이, 경사진 프로파일을 가질 수 있다. 이는 후속공정에서 형성되는 하부전극과 상기 소오스 영역(61a) 사이의 전기적인 저항을 감소시키기 위함이다. 상기 스토리지 노드 콘택처를 내에 끈연 플러그들(75)을 형성한다.

도 11을 참조하면, 상기 콘택처 플러그들(75) 및 상기 하부 충간절연막(74) 상에 하부전극막, 강유전체막 및 상부전극막을 차례로 형성한다. 상기 상부전극막, 강유전체막 및 하부전극막을 연속적으로 패터닝하여 행 방향 및 멀 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들(82; 도 4의 CP)을 형성한다. 상기 강유전체 커패시터들(82)의 각각은 차례로 적층된 하부전극(??), 강유전체막 패턴(79) 및 상부전극(81)을 포함한다. 상기 하부전극들(77)은 각각 상기 소오스 영역들(61a)과 전기적으로 접속된다. 이어서, 상기 강유전체 커패시터들(82)의 형성된 결과물의 전면에 절연막(85)을 차례로 형성한다. 상기 절연막(85)을 형성하기 전에 수소차단막(hydrogen barrier layer; 83)을 콜포일하게 형성할 수도 있다. 상기 수소차단막(83)은 타이탄 산화막(TiO_x), 알루미늄 산화막(Al₂O₃), 질리ums 질화막(Si₃N_x) 또는 이를의 조합으로 형성하는 것이 바람직하다.

도 12를 참조하면, 상기 절연막(85) 및 상기 수소차단막(83)을 평탄화시키며 상기 상부전극들(81)을 노출시킨다. 상기 평탄화 공정은 화학기계적 연마 기술 또는 에치백 기술을 사용하여 실시될 수 있다. 이어 따라, 상기 강유전체 커패시터들(82) 사이에 수소차단막 패턴(83a) 및 절연막 패턴(85a)이 형성된다. 상기 수소차단막 패턴(83a)은 상기 강유전체 커패시터들(82)의 측벽, 즉, 상기 강유전체막 패턴들(79)의 측벽을 덮는다. 따라서, 상기 강유전체막 패턴들(79) 내부로 수소원자들이 주입되도록 방지될 수 있다. 상기 강유전체막 패턴들(79) 내부에 수소원자들이 주입되면, 분극특성 및 누설전류 특성과 같은 강유전체 커패시터들(82)의 특성이 저하된다. 결과적으로, 상기 수소차단막 패턴(83a)은 강유전체 커패시터(82)의 특성을 향상시킨다.

상기 절연막 패턴(85a)을 포함하는 반도체기판의 전면에 하부 플레이트막을 형성한다. 상기 하부 플레이트막은 금속막, 도전성 금속접착막 또는 이들의 복합막으로 형성될 수 있다. 예를 들면, 상기 하부 플레이트막은 타이탄(Al), 타이탄암(Al₂O₃), 타이탄늄(TiN), 알루미늄(Al), 알루미늄(Al₂O₃), 알루미늄(Al₂O₃), 벤크막(Pt), 투데니움막(Ru), 투데니움(Ru₂O₅), 알루미늄(Al) 또는 이를의 복합막으로 형성될 수 있다. 상기 하부 플레이트막을 패터닝하여 상기 워드라인들(57)과 평행한 복수개의 국부 플레이트 막인(local-plate lines; 87, 도 4의 PL)을 형성한다. 다시 말해, 상기 복수개의 국부 플레이트 막인(87)은 행 방향(도 4의 y축)과 평행하다. 상기 국부 플레이트 막인들(87)의 각각은 서로 행들(87)을 따라 배열된 복수개의 상부전극들(81)과 직접적으로 접촉된다. 상기 국부 플레이트 막인들(87)을 갖는 반도체기판의 전면에 상부 충간절연막을 형성한다. 상기 상부 충간절연막은 제1 및 제2 상부 충간절연막들(89, 93)을 차례로 적층시키며 형성된다. 상기 제2 상부 충간절연막(93)을 형성하기 전에, 상기 제1 상부 충간절연막(89) 상에 복수개의 평행한 주 워드라인들(91)을 형성할 수도 있다. 상기 주 워드라인들(91)은 상기 행 방향(도 4의 y축)과 평행하다. 통상적으로, 하니의 주 워드라인(91)은 디코더를 통하여 4개의 워드라인들(57)을 제어한다.

도 13를 참조하면, 상기 상부 충간절연막을 패터닝하여 상기 국부 플레이트 막인(87)을 노출시키는 슬릿형 비마음(95)을 형성한다. 상기 슬릿형 비마음(95)은 상기 주 워드라인들(91) 사이에 형성되고, 상기 주 워드라인들(91)과 평행하다. 상기 슬릿형 비마음(95) 대신에 복수개의 비마음들을 형성할 수도 있다. 이 경우에, 상기 비마음들의 각각은 적어도 2개의 인접한 행 및 적어도 하나의 열 내에 배치된 강유전체 커패시터들 상에 위치한 국부 플레이트 막인(87)을 노출시킨다. 상기 슬릿형 비마음(95)은 도시된 바와 같이 증래기술에 비하여 넓은 폭을 갖는다. 그럼에도 불구하고, 상기 슬릿형 비마음(95) 및 이와 인접한

[첨부그림 8]

• 2003-0001217

상기 주 웨드라인들(91) 사이의 간격(A)을 증거기술에 비하여 크게 유지할 수 있다. 따라서, 상기 슬릿형 비마운(95)의 증명비를 더욱 강조시키기 위하여 상기 슬릿형 비마운(95)를 '습식' 식각공정 및 건식 식각공정을 사용하여 혼성설치자리도, 상기 주 웨드라인들(91)이 노출을 확보는 증거기술에 비하여 현저히 강조된다. 결과적으로, 상기 주 웨드라인들(91)의 노출을 잃어, 상기 슬릿형 비마운(95)의 증명비를 증거기술에 비하여 현저히 강조시킬 수 있음을 상기 국부 플레이트(14)의 노출면적을 극대화시킬 수 있다.

계속해서, 삼기 슬릿형 비마흔(95)이 형성된 결과물의 전면에 금속막과 같은 상부 플레이트막을 형성한다. 예를 들면, 삼기 상부 플레이트막은 알루미늄으로 형성될 수 있다. 이때, 삼기 슬릿형 비마흔(95)의 증원비가 현저히 낮으므로 삼기 상부 플레이트막은 주수로 단자도포(steel cover)를 보인다. 삼기 상부 플레이트막은 패터닝하여 삼기 슬릿형 비마흔(95)을 묘는 주 플레이트 라인(mini plate line; 97)을 형성된다. 삼기 주 플레이트 라인(97)은 삼기 상부 플레이트 라인(97)을 통하여 적어도 2개의 인접한 경계점으로, 삼기 주 플레이트 라인(97)은 삼기 상부 플레이트 라인(97)을 통하여 적어도 2개의 인접한 범위 내에 배치된 강우전체 커터패시터들을 전기적으로 접속된다.

도 14는 도 8 내자 도 13에서 설명된 제 1 실시예의 변형예(modified embodiment)을 설명하기 위한 단면도이다. 상기 변형예는 본 발명의 제 1 실시예에서 상기 국부 클레이트 라인(87)을 형성하는 공정을 생략한 경우에 해당한다. 이 경우에, 상기 슬릿형 비마운(95)를 형성하는 등장 상기 상부전극을(80) 뿐만 아니라 이를 사이의 접연막 펫틴(88a) 역시 노출된다. 따라서, 상기 접연막 펫틴(88a)은 상기 상부 충간재임당에 대하여 쇠적선태비를 갖는 물질임의, 예컨대 실리콘 점화회로으로 형성하는 것이 바람직하다. 결과적으로, 상기 주 클레이트 라인(97)은 적어도 2개의 민첩한 험을 내에 배치된 강유전체 커파시터들의 상부전극들(81)과 접촉된다.

도 15 내지 도 19는 도 4의 1-1에 따라 본 발명의 제2 실시예에 따른 강유전체 메모리소자의 제조방법을 설명하기 위한 단면도들이다. 본 발명의 제2 실시예에 있어서, 셀 트랜지스터를, 하부 충간 절연막 및 험막, 험막을 가진 셀들은 도 6 내지 도 10에서 설명된 본 발명의 제1 실시예와 동일한 방법으로 사용하여 형성된다. 따라서 이들에 대한 설명은 생략하고자 한다.

도 16을 참조하면, 상기 하부 절연막(107) 및 수소차단막(105)을 펑동화시키어 상기 강유전체막 패턴들(103)을 노출시킨다. 이에 따라, 상기 강유전체막 패턴들(103), 사이의 갭 영역 및 상기 하부전극들(101) 사이의 갭 영역 내에 하부절연막 패턴(107a) 및 수소차단막 패턴(105a)이 형성된다. 상기 하부절연막 패턴(107a) 및 수소차단막 패턴(105a)이 형성된 후 과정은 전면에 상부전극막을 형성한다. 상기 상부전극막을 패터닝하여 상기 웨드라인들(57)과 평행한 복수개의 공용彤 상부전극들(109)을 형성한다. 상기 공용彤 상부전극들(109)의 각각은 서로 이어지는 적어도 2개의 행을 상에 배열된 상기 강유전체막 패턴들(103)을 덮친다. 다시 말해서, 상기 공용彤 상부전극들(109)은 적어도 2개의 행을 및 적어도 하나의 열 내에 배열된 강유전체막 패턴들(103)과 접촉한다.

도 17를 참조하면, 상기 공통 상부전극률(109)을 포함하는 반도체기판의 전면에 상부 접연막(111)을 형성한다. 상기 상부 접연막(111)을 패터닝하여 상기 공통 상부전극(109)을 노출시키는 슬릿형 노터링을 형성한다. 상기 상부 접연막(111) 및 상기 슬릿형 노터링을 형성하는 과정은 생략될 수도 있다. 상기 슬릿형 노터링을 갖는 반도체기판의 전면에 하부 휴리에이트막을 형성한다. 상기 하부 휴리에이트막은 본 발명의 제1 실시예에서 설명한 하부 휴리에이트막과 동일한 절감막으로 형성한다. 상기 하부 휴리에이트막을 패터닝하여 상기 슬릿형 노터링을 형성하는 것은 국부 휴리에이트 막인 (113; 도 4의 PC)를 형성한다. 상기 국부 휴리에이트 막인 (113)을 포함하는 반도체기판의 전면에 제1 및 제2 상부 접연막(115, 119)들을 차례로 형성한다. 상기 제1 및 제2 상부 접연막(115, 119)들은 상부 풍간 접연막을 구성한다.

미에 대하여, 상기 제1 및 제2 상부 흥관경연막(115, 119) 사마에 복수개의 평행한 주 웨드라인들(117)을 형성할 수 있다. 상기 주 웨드라인들(117)은 도 120에서 설명된 본 발명의 제1 실시예와 동일한 방법을 사용하여 형성한다.

도 18를 참조하면, 상기 상부 출간질연막을 관통하는 슬릿형 비아홀(121)을 형성하고, 상기 슬릿형 비아홀(121)은 주 플레이트 리인(123)을 형성한다. 상기 슬릿형 비아홀(121) 및 주 플레이트 리인(123)은 부연의 제1~4 쇠시멘트 듀얼리온 바비풀을 사용하여 형성된다.

도 19는 도 19 내지 도 19에서 설명된 제2 실시예의 변형에(*modified embodiment*)를 설명하기 위한 단면도이다. 상기 변형에는 본 발명의 제2 실시예에서 상기 쿠仑 플레이트(113)를 형성하는 편집부(104)에 따른 다른 구조로 다른 도면을 사용하여 그림을 그려 놓았지만, 그림은 그림과 내용은 동일한 내용을 나타내고 있다.

간 증거에 해당된다. 이 증거에, 경기 끝나고 미안합니다(11)는 경기 종료 단계인(11)은 그 자체로 증거에 해당된다.

도 20을 참조하면, 상기 하부 충강절면막(74) 및 콘택 퍼터너그룹(75) 상에 하부전극막을 형성한다. 상기 하부전극막은 퍼터너하부상면 면적을 둘러그룹(75)을 묘는 복수개의 하부전극막(151)을 형성한다. 상기 하부전극막은

부전극(151)을 포함하는 반도체기판의 전면에 하부 접연막(153)을 형성한다.

특 2003-0001217

턴들(common ferroelectric layer patterns; 155) 및 상기 공통 강유전체학 패턴들(155) 상에 접촉된 복수개의 공통 상부전극들(157)을 형성한다. 상기 공통 강유전체학 패턴들(155)의 각각은 서로 이웃하는 적어도 2개의 헴들 및 적어도 하나의 음 내에 배열된 상기 하부전극들(151)을 닫는다. 이에 대하여, 상기 공통 강유전체학 패턴들(155)의 각각은 연장되어 상기 열 방향(축)과 평행하도록 형성될 수도 있다. 상기 공통 강유전체학 패턴들(155), 사이의 겹 영역 및 상기 공통 상부전극들(157) 사이의 겹 영역에 본 발명의 제1 실시예와 동일한 방법을 사용하여 수소차단막 패턴(159) 및 상부 접연막 패턴(161)을 형성한다.

도 22를 참조하면, 상기 상부전극연막 패턴(161)을 갖는imoto 체기판의 전면에 하부 플레이트막을 형성한다. 상기 하부 플레이트막은 본 발명의 제1 실시예에서 설명한 하부 플레이트막과 동일한 물질로으로 형성된다. 상기 하부 플레이트막은 패터닝하여 상기 공통 상부전극(157)을 묻는 국부 플레이트 라인(163; 도 4의 PL)을 형성한다. 결과적으로, 상기 국부 플레이트 라인(163)은 적어도 2개의 인접한 헴들 내에 배열된 상기 강유전체 커패시터들의 풍선을 상부전극(157)과 접촉한다. 비록직하게는, 상기 국부 플레이트 라인(163)은 적어도 2개의 인접한 헴들 및 적어도 하나의 음 내에 배열된 상기 강유전체 커패시터들의 공통 상부전극(157)과 접촉한다.

상기 국부 플레이트 라인(163)이 형성된 결과로의 전면에 상부 충간접연막을 형성한다. 상기 상부 충간접연막은 제1 및 제2 상부 충간접연막들(165, 169) 차례로 적층시키어 형성된다. 이에 대하여, 상기 제1 및 제2 상부 충간접연막들(165, 169) 사이에 복수개의 평행한 주 워드라인들(167)을 형성할 수 있다. 상기 주 워드라인들(167)은 도 12에서 설명된 본 발명의 제1 실시예에 동일한 방법을 사용하여 형성된다.

도 23을 참조하면, 상기 상부 충간접연막을 활동하는 슬릿형 비마음(171)을 형성하고, 상기 슬릿형 비마음(171)을 묻는 주 플레이트 라인(173)을 형성한다. 상기 슬릿형 비마음(171) 및 주 플레이트 라인(173)은 본 발명의 제1 실시예와 동일한 방법을 사용하여 형성된다.

도 24는 도 20 내지 도 23에서 설명된 제3 실시예의 변형(modified embodiment)을 설명하기 위한 단면도이다. 상기 변형에는 본 발명의 제3 실시예에서 상기 국부 플레이트 라인(163)을 형성하는 공정을 생략한 경우에 해당한다. 이 경우에, 상기 슬릿형 비마음(171)은 상기 공통 상부전극(157)을 노출시킨다.

도 25는 도 4에 보여진 본 발명의 제1 실시예의 변형(modified embodiment)을 보여주는 평면도이고, 도 26은 도 25의 11-11'에 따라 본 발명의 변형에 따른 강유전체 메모리소자 및 그 제조방법을 설명하기 위한 단면도를 드린다. 이 변형에서는, 세 트랜지스터들을 하부 충간접연막, 몽크 플러그들, 강유전체 커패시터들 및 접연막 패턴들을 도 8 내지 도 11에서 설명된 본 발명의 제1 실시예와 동일한 방법을 사용하여 형성된다. 따라서, 이름에 대한 설명은 생략하기로 한다.

먼저, 도 25 및 도 26을 참조하여, 본 발명의 변형에 따른 강유전체 메모리소자를 설명하기로 한다.

도 25 및 도 26을 참조하면, 상기 강유전체 커패시터들(82) 및 상기 접연막 패턴(86a) 상에 복수개의 국부 플레이트 패턴들(local plate patterns; PP)이 배치된다. 상기 국부 플레이트 패턴들(PP)은 금속막, 도전성 금속산화막, 도전성 금속점화막 또는 이들의 복합막일 수 있다. 예를 들면, 상기 국부 플레이트 패턴들(PP)은 타이타늄 알루미늄 점화막(TAIN), 타이타늄 점화막(TIM), 미리디움막(1r), 미리디움 산화막(1r0), 백금막(Pt), 루테니움금(Ru), 루테니움 산화막(RuO_x), 알루미늄막(Al) 또는 이들의 복합막일 수 있다. 상기 국부 플레이트 패턴들(PP)은 상기 열 방향(축) 및 상기 열 방향(축)을 따라 2차원적으로 배치된다. 좀 더 구체적으로, 상기 국부 플레이트 패턴들(PP)의 각각은 적어도 2개의 인접하는 헴들 및 적어도 하나의 음 내에 배치된 상기 강유전체 커패시터들(82)을 묻는다. 예를 들면, 상기 각 국부 플레이트 패턴들(PP)은, 도 25에 도시된 바와 같이, 2개의 인접한 헴들 및 2개의 인접한 음들 내에 배치된 4개의 커패시터들(82)을 묻는다. 결과적으로, 상기 각 국부 플레이트 패턴들(PP)은 적어도 2개의 인접하는 헴들 및 적어도 하나의 음 내에 배치된 상기 상부전극들(81)들과 직접적으로 접촉한다. 상기 국부 플레이트 패턴들(PP)을 갖는 반도체기판의 전면은 상부 충간접연막에 의해 둘러진다. 여기서, 상기 상부 충간접연막은 차례로 적층된 제1 및 제2 상부 충간접연막들(89, 93)을 포함할 수 있다.

이에 대하여, 본 발명의 제1 실시예에서 보여진 바와 같이, 상기 제1 및 제2 상부 충간접연막들(89, 93) 사이에 복수개의 주 워드라인들(main word lines; 91)이 개재될 수 있다. 상기 주 워드라인들(91)의 각각은 일반적으로 디코더(decoder)를 통하여 4개의 워드라인들(57)을 제어한다. 상기 주 워드라인들(91) 사이의 상기 상부 충간접연막 내에 주 플레이트 라인(97)이 배치된다. 상기 주 플레이트 라인(97)은 상기 상부 충간접연막을 활동하는 복수개의 비마음들(95c)을 통하여 상기 상부전극과 평행하도록 배치된 상기 복수개의 국부 플레이트 패턴들(PP)과 전기적으로 접촉된다. 이와는 달리, 상기 주 플레이트 라인(97)은 상기 상부 충간접연막을 활동하는 슬릿형 비마음(도 4의 95)을 통하여 상기 상부전극과 평행하도록 배치된 상기 복수개의 국부 플레이트 패턴들(PP)과 전기적으로 접속될 수 있다.

다음에, 본 발명의 변형에 따른 강유전체 메모리소자의 제조방법을 설명하기로 한다.

도 25 및 도 26을 다시 참조하면, 상기 강유전체 커패시터들(82) 및 접연막 패턴들(86a)이 형성된 반도체기판의 전면 상에 하부 플레이트막을 형성한다. 상기 하부 플레이트막은 금속막, 도전성 금속산화막, 도전성 금속점화막 또는 이들의 복합막으로 형성할 수 있다. 구체적으로, 상기 하부 플레이트막은 타이타늄 알루미늄 점화막(TAIN), 타이타늄 점화막(TIM), 미리디움막(1r), 미리디움 산화막(1r0), 백금막(Pt), 루테니움금(Ru), 루테니움 산화막(RuO_x), 알루미늄막(Al) 또는 이들의 복합막으로 형성할 수 있다. 상기 하부 플레이트막을 패터닝하여 복수개의 국부 플레이트 패턴들(PP)을 형성한다. 상기 국부 플레이트 패턴들(PP)의 각각은 적어도 2개의 인접한 헴들 및 적어도 하나의 음 내에 배치된 강유전체 커패시터들(82)을 묻는다. 예를 들면, 상기 각 국부 플레이트 패턴들(PP)은 2개의 인접한 헴들 및 2개의 인접한 음들 내에 배치된 4개의 상부전극들(81)과 직접 접촉한다. 이에 따라, 국부 플레이트 라인을 제어하는 본 발명의 제1 실시예에 비하여 상기 국부 플레이트 패턴들(PP)에 기인하는 물리적인 스트레스들은 현저히 감소시킬 수 있다. 특히, 상기 하부 플레이트막을 미리디움막 및/또는 미리디움 산화막과 같이 혹은 스트레스를 갖는 물질막으로 형성하는 경우에, 상기 국부 플레이트 패턴들(PP)에 기인하는 스트레스는 본 발명의 제1 실시예에서의 국부 플레이트 라인들(87)에 기인하는 스트레스에 비하여 현저히 감소된다. 따라서, 본 변형에서와 같이 국부 플레이트 라인(87) 대신에 국부 플레이트 패턴들(PP)을 형성하는

[첨부그림 10]

粵2003-0001217

경우에, 상기 강유전체 커피시터를(82)에 인가되는 스트레스를 감소시킬 수 있다. 결과적으로, 상기 강유전체 커피시터를(82)의 강유전 특성의 열화를 억제시킬 수 있다.

상기 국부 플레이트 패턴 큐(PP)를 갖는 반도체기판의 전면 숨에 상부 충간접면막들 형성한다. 상기 숨부 충간접면막은 제1 및 제2 상부 충간접면막(89, 93)을 차례로 적층시키어 형성된다. 상기 제2상부 충간접면막(93)을 형성하기 전에 상기 제1 상부 충간접면막(89) 상에 상기 유연한 폴수개의 주 워드라인들이(91) 형성될 수 있다. 여기서, 상기 주 워드라인들이(91)의 각각은 일반적으로 디코우더(decoder)를 통하여 4개의 워드라인들(57)을 제작한다.

계속해서, 상기 상부 충간면연막을 패터닝하여 상기 국부 플레이트 패턴(PP)을 노출시키는 복수개의 비마이크로(95c)를 형성한다. 이에 따라, 상기 복수개의 비마이크로(95c)는 상기 x축 및 y축과 따라 2차원적으로 배열된다. 이와는 달리, 상기 비마이크로(95c) 대신에 본 발명의 제1 실시예에서 설명한 슬릿형 비마이크로(도 5 및 도 19의 95c)를 형성할 수도 있다. 상기 복수개의 비마이크로(95c)는 같은 반도체기판의 전면 상에 금속막과 같은 상부 플레이트막을 형성한다. 상기 상부 플레이트막은 패터닝하여 상기 복수개의 비마이크로(95c)를 덮는 주 플레이트 라인(97)을 형성한다. 상기 주 플레이트 라인(97)은 상기 y축과 평행하도록 형성된다.

본 발명은 승강한 실시여행에 한정되지 않고, 당업자의 수준에서 변형 및 개량이 가능하다. 예를 들면, 상기 휴대폰 키보드의 각각은 서로 이동하는 3개 이상의 헬을 상에 배열된 강우전체 커퍼시터를 험수 있다.

한국학 헌장

상술한 바와 같이 본 발명에 따르면, 하나의 플레이트 라인이 셀 어레이 영역 내에 서로 이웃한 적어도 2개의 헬프 상에 배치된 양수전체 커파시터들의 상부전극과 직접적으로 접촉한다. 이외는 달리, 서로 이웃한 적어도 2개의 행을 상에 배열된 양수전체 커파시터들은 하나의 공통 상부전극을 공유할 수도 있다. 이 경우에, 상기 공통 상부전극은 하나의 물리적 라인과 직접적으로 접촉한다. 이에 따라, 상기 플레이트 라인의 일부 상부전극 사이에 신뢰성 있는 폴리 구조를 수 있다.

이에 더하여, 상기 셀 어레이 영역 내에 주 워드라인들이 배치되고 상기 주 워드라인들 사이에 슬릿형 비마이어 형성되는 경우에, 상기 슬릿형 비마이어와 상기 주 워드라인 사이의 거리를 증가기술에 바탕하여 현저히 증가시킬 수 있다.

더 나아가서, 상기 국부 콜레미트 라인 대신에 몇개의 국부 콜레미트 패턴들을 형성하는 경우에, 상기 같은 전체 캐리저터링에 입각되는 출판적인 지원으로서 특수로스를 현저히 감소시킬 수 있다. 이에 따라, 같은 전체 커리저터링에 입각한 저작하는 것을 보지 못할 수 있다.

결과적으로, 강유전체 메모리소자의 집적도를 증가시키는 것과 마찬가지로 그것의 신뢰성을 향상시키는 것이다.

(5) 품구의 법칙

卷之三

반도체기판 산에 헬스케어 하부 출가재연락

상기 하부 층간접연락 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 특수개의 강유전체 커판시터를;

상기 복수개의 같은 진체 커퍼시티를 갖는 반도체기판의 전면에 적층된 상을 충가점 연마: 미

상기 상부 흡간질연막 내에 상기 행 방향과 평행하게
플레이트 라인들의 각각은 서로 미모한 적어도 2개의
디스크의 상부 면과 전침점으로 전출하는 것을 전침점으로
배치된 복수개의 플레이트 라인들을 포함하되, 상기 행
행의 험과 상부 면에 배열된 상기 감유전체 커퍼시
는 같은 전체에 모으기 수자.

ચેપ્ટર ૨

제 1 학기 9월

상기 플레이트 라인은 서로 미운한 적에도 2개의 행을 상에 배열된 상기 강유전체 커패시터들의 상부면을
과 접촉점으로서 접촉하는 코노 플레이트 라인(local plate line)은 상기 국부 플레이트 라인은 상기 상부면을
본 쪽 접촉면에서 외부에 터미너얼 절연을 두었으므로 송수는 기본으로 한다. 예외로 소수

הנתקן

848 3.

상기 국부 플레이트, 라인은 타이타늄 알루미늄 절화막, 타이타늄 절화막, 미리다음막, 미리다음 산화막, 백금막, 투데니움막, 투데니움 산화막, 알루미늄막 또는 이들의 조합막인 것을 특징으로 하는 경우에 사용된다.

શ્રીમતી

8164

[첨부그림 11]

특 2003-0001217

첨구항 5

제 4 항에 있어서,

상기 상부 층간절연막은 차례로 적용된 제1 및 제2 상부 층간절연막들을 포함하는 것을 특징으로 하는 강유전체 메모리소자.

첨구항 6

제 5 항에 있어서,

상기 슬릿형 비마홀의 양 옆에 상기 헨 방향과 평행하게 배치되고 상기 제1 및 제2 상부 층간절연막을 사이에 개재된 주 워드라인들(main word lines)을 더 포함하는 것을 특징으로 하는 강유전체 메모리소자.

첨구항 7

제 1 항에 있어서,

상기 플레이트 라인은

서로 이웃한 적어도 2개의 행을 상에 배열된 상기 강유전체 커퍼시터들의 상부면들과 직접적으로 접촉하되, 상기 상부 층간절연막에 의해 덮여진 국부 플레이트 라인(local plate line) 및

상기 상부 층간절연막을 관통하는 슬릿형 비마홀(slit-type via hole)을 통하여 상기 국부 플레이트 라인의 상부면과 직접적으로 접촉하는 주 플레이트 라인(main plate line)을 포함하는 것을 특징으로 하는 강유전체 메모리소자.

첨구항 8

제 7 항에 있어서,

상기 국부 플레이트 라인은 타이타늄 알루미늄 질화막, 타이타늄 질화막, 아리디움막, 미리 디움 산화막, 백금막, 투테나움막, 투테나움 산화막, 알루미늄막 또는 이들의 조합막인 것을 특징으로 하는 강유전체 메모리소자.

첨구항 9

제 7 항에 있어서,

상기 상부 층간절연막은 차례로 적용된 제1 및 제2 상부 층간절연막들을 포함하는 것을 특징으로 하는 강유전체 메모리소자.

첨구항 10

제 9 항에 있어서,

상기 슬릿형 비마홀의 양 옆에 상기 헨 방향과 평행하게 배치되고 상기 제1 및 제2 상부 층간절연막을 사이에 개재된 주 워드라인들(main word lines)을 더 포함하는 것을 특징으로 하는 강유전체 메모리소자.

첨구항 11

제 1 항에 있어서,

상기 강유전체 커퍼시터들의 각각은 상기 하부 층간절연막을 관통하는 스토리지 노드 콘택처를 통하여, 상기 반도체기판의 소정영역과 전기적으로 접속되되, 상기 스토리지 노드 콘택처의 상부직경은 그것의 하부 직경보다 큼 것을 특징으로 하는 강유전체 메모리소자.

첨구항 12

제 1 항에 있어서,

상기 강유전체 커퍼시터들의 각각은 차례로 적용된 하부전극, 강유전체막 패턴 및 상부전극을 포함하되, 상기 플레이트 라인은 서로 이웃한 적어도 2개의 행을 상에 배열된 상기 상부전극들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

첨구항 13

제 12 항에 있어서,

상기 강유전체 커퍼시터들 사이의 갭 영역을 채우는 절연막 패턴을 더 포함하되, 상기 절연막 패턴은 상기 상부 층간절연막 및 상기 하부 층간절연막 사이에 개재되는 것을 특징으로 하는 강유전체 메모리소자.

첨구항 14

제 13 항에 있어서,

상기 절연막 패턴은 상기 상부 층간절연막에 대하여 상각 선택비를 갖는 것을 특징으로 하는 강유전체 메모리소자.

첨구항 15

제 13 항에 있어서,

[첨부그림 12]

특 2003-0001217

적어도 상기 강유전체막 패턴들 및 상기 절연막 패턴 사이에 개재된 수소차단막 패턴(hydrogen barrier layer pattern)을 더 포함하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 16

제 1 항에 있어서,

상기 강유전체 커퍼시터는 차례로 적층된 하부전극, 강유전체막 패턴 및 공동 상부전극(common top electrode)을 포함하되, 상기 공동 상부전극은 연장되어 상기 플레이트 라인의 아래에 위치하는 상기 강유전체막 패턴들을 닦고, 상기 공동 상부전극은 상기 플레이트 라인과 직접적으로 접촉하는 것 등을 특징으로 하는 강유전체 메모리소자.

청구항 17

제 16 항에 있어서,

상기 하부전극을 사이의 겹 영역 및 상기 강유전체막 패턴들 사이의 겹 영역을 채우는 절연막 패턴을 더 포함하되, 상기 절연막 패턴은 상기 상부 충간접연막 및 상기 하부 충간접연막 사이에 개재되는 것을 특징으로 하는 강유전체 메모리소자.

청구항 18

제 17 항에 있어서,

적어도 상기 강유전체막 패턴들의 겹벽을 및 상기 절연막 패턴 사이에 개재된 수소차단막 패턴(hydrogen barrier layer pattern)을 더 포함하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 19

제 1 항에 있어서,

상기 강유전체 커퍼시터는 차례로 적층된 하부전극, 공동 강유전체막 패턴(common ferroelectric layer pattern) 및 공동 상부전극(common top electrode)을 포함하되, 상기 공동 강유전체막 패턴은 연장되어 상기 플레이트 라인의 하부의 상기 하부전극들을 닦고, 상기 공동 상부전극은 상기 공동 강유전체막 패턴 및 상기 플레이트 라인 사이에 개재된 것을 특징으로 하는 강유전체 메모리소자.

청구항 20

제 19 항에 있어서,

상기 공동 강유전체막 패턴들 사이의 겹 영역 및 상기 공동 상부전극들 사이의 겹 영역을 채우는 절연막 패턴을 더 포함하되, 상기 절연막 패턴은 상기 하부 충간접연막 및 상기 상부 충간접연막 사이에 개재된 것을 특징으로 하는 강유전체 메모리소자.

청구항 21

제 20 항에 있어서,

적어도 상기 공동 강유전체막 패턴들의 겹벽을 및 상기 절연막 패턴 사이에 개재된 수소차단막 패턴(hydrogen barrier layer pattern)을 더 포함하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 22

반도체기판 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 셀 트랜지스터를;

상기 셀 트랜지스터들을 갖는 반도체기판의 전면을 덮는 하부 충간접연막;

상기 하부 충간접연막 상에 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배열되고, 그 각각은 상기 하부 충간접연막을 관통하는 스토리지 노드 콘택처를 통하여 상기 각 셀 트랜지스터들과 전기적으로 접속된 강유전체 커퍼시터를;

상기 강유전체 커퍼시터를 갖는 반도체기판 상에 상기 행 방향과 평행하도록 배치되고, 그 각각은 서로 마운트 적어도 2개의 행들(two rows) 상에 배열된 상기 강유전체 커퍼시터들의 상부면들과 직접적으로 접속되는 복수개의 국부 플레이트 라인들(local plate lines); 및

상기 복수개의 국부 플레이트 라인들을 갖는 반도체기판의 전면에 차례로 적층된 제1 및 제2 상부 충간접연막들을 포함하는 강유전체 메모리소자.

청구항 23

제 22 항에 있어서,

상기 국부 플레이트 라인들은 타이타늄, 알루미늄, 질화막, 타이타늄막, 타이타늄 질화막, 미리디움막, 미리디움, 산화막, 백금막, 루데니움막, 루데니움 산화막, 알루미늄막 또는 이들의 조합막인 것을 특징으로 하는 강유전체 메모리소자.

청구항 24

제 22 항에 있어서,

상기 제1 및 제2 상부 충간접연막들을 관통하되, 상기 국부 플레이트 라인을 노출시키는 슬릿형 비마홀(slit-type via hole); 및

[첨부그림 13]

특 2003-0001217

상기 슬릿형 비마홀을 닦는 주 플레이트 라인(main plate line)을 더 포함하는 것을 특징으로 하는 강유 전체 메모리소자.

청구항 25

제 24 항에 있어서,

상기 제1 및 제2 상부 춤간절연막을 사이에 개재된 복수개의 주 워드라인들(main word lines)을 더 포함 하되, 상기 주 워드라인들은 상기 행 방향과 평행하고 상기 슬릿형 비마홀의 양 옆에 배치된 것을 특징으로 하는 강유전체 메모리소자.

청구항 26

제 22 항에 있어서,

상기 강유전체 커피시터는 차례로 적층된 하부전극, 강유전체막 패턴 및 공통 상부전극(common top electrode)을 포함하되, 상기 공통 상부전극은 연장되어 상기 국부 플레이트 라인의 미래에 위치하는 상기 강유전체막 패턴들을 닦고, 상기 공통 상부전극의 상부면은 상기 국부 플레이트 라인과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 27

제 22 항에 있어서,

상기 강유전체 커피시터는 차례로 적층된 하부전극, 공통 강유전체막 패턴 및 공통 상부전극(common top electrode)을 포함하되, 상기 공통 상부전극은 연장되어 상기 국부 플레이트 라인의 미래에 위치하는 상기 강유전체막 패턴들을 닦고, 상기 공통 상부전극의 상부면은 상기 국부 플레이트 라인과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 28

제 22 항에 있어서,

상기 강유전체 커피시터는 차례로 적층된 하부전극, 공통 강유전체막 패턴(common ferroelectric layer pattern) 및 공통 상부전극(common top electrode)을 포함하되, 상기 공통 강유전체막 패턴은 연장되어 상기 국부 플레이트 라인의 하부의 상기 하부전극들을 닦고, 상기 공통 상부전극은 상기 공통 강유전체막 패턴 및 상기 국부 플레이트 라인 사이에 개재된 것을 특징으로 하는 강유전체 메모리소자.

청구항 29

반도체기판 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 셀 트랜지스터들;

상기 셀 트랜지스터들을 갖는 반도체기판의 전면을 닦는 하부 춤간절연막;

상기 하부 춤간절연막 상에 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배열되고, 그 각각은 상기 하부 춤간절연막을 관통하는 스트리지 노드 콘택홀을 통하여 상기 각 셀 트랜지스터들과 전기적으로 접속된 강유전체 커피시터들;

상기 강유전체 커피시터들을 갖는 반도체기판의 전면에 차례로 적층된 제1 및 제2 상부 춤간절연막들;

상기 제1 및 제2 상부 춤간절연막들을 합침하되, 서로 이용한 적어도 2개의 행을 사이에 배열된 상기 강유전체 커피시터들의 상부면들을 노출시키고 상기 행 방향과 평행한 슬릿형 비마홀; 및

상기 슬릿형 비마홀을 닦는 주 플레이트 라인(main plate line)을 포함하는 강유전체 메모리소자.

청구항 30

제 29 항에 있어서,

상기 슬릿형 비마홀의 양 옆에 상기 행 방향과 평행하게 배치되고, 상기 제1 및 제2 상부 춤간절연막을 사이에 개재된 복수개의 주 워드라인들(main word lines)을 더 포함하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 31

제 29 항에 있어서,

상기 강유전체 커피시터는 차례로 적층된 하부전극, 강유전체막 패턴 및 상부전극(common top electrode)을 포함하되, 상기 공통 상부전극은 연장되어 상기 주 플레이트 라인의 미래에 위치하는 상기 강유전체막 패턴들을 닦고, 상기 공통 상부전극의 상부면은 상기 주 플레이트 라인과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 32

제 29 항에 있어서,

상기 강유전체 커피시터는 차례로 적층된 하부전극, 강유전체막 패턴 및 공통 상부전극(common top electrode)을 포함하되, 상기 공통 상부전극은 연장되어 상기 주 플레이트 라인의 미래에 위치하는 상기 강유전체막 패턴들을 닦고, 상기 공통 상부전극의 상부면은 상기 주 플레이트 라인과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 33

제 29 항에 있어서,

[첨부그림 14]

특 2003-0001217

상기 강유전체 커피시터는 차례로 적용된 하부전극, 공통 강유전체막 패턴(common ferroelectric layer pattern) 및 공통 상부전극(common top electrode)을 포함하되, 상기 공통 강유전체막 패턴은 연장되어 상기 주 플레이트 라인의 하부의 상기 하부전극들을 닫고, 상기 공통 상부전극은 상기 공통 강유전체막 패턴 및 상기 주 플레이트 라인 사이에 개재된 것을 특징으로 하는 강유전체 메모리소자.

청구항 34

반도체기판 상에 하부 충간절연막을 형성하는 단계;

상기 하부 충간절연막 상에 행, 방향 및 열, 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커피시터 틀을 형성하는 단계; 및

상기 강유전체 커피시터들을 갖는 반도체기판의 전면에 적용된 상부 충간절연막 및 상기 상부 충간절연막 내에 상기 행, 방향과 평행하도록 배치된 복수개의 플레이트 라인들을 형성하는 단계를 포함하되, 상기 플레이트 라인들의 각각은 서로 이웃한 적어도 2개의 험을 상에 배열된 상기 강유전체 커피시터들의 상부면 들과 직점적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 35

제 34 항에 있어서,

상기 복수개의 강유전체 커피시터들을 형성하는 단계는,

상기 하부 충간절연막 상에 하부전극막, 강유전체막 및 상부전극막을 차례로 형성하는 단계; 및

상기 상부전극막, 상기 강유전체막 및 상기 하부전극막을 연속적으로 패터닝하여 상기 행, 방향 및 상기 열, 방향을 따라 2차원적으로 배열된 복수개의 하부전극을, 상기 하부전극을 상에 적용된 복수개의 강유전체막 패턴을 및 상기 강유전체막 패턴을 상에 적용된 복수개의 상부전극들을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 36

제 35 항에 있어서,

상기 상부 충간절연막 및 상기 플레이트 라인들을 형성하는 단계는

상기 강유전체 커피시터들이 형성된 반도체기판의 전면에 절연막을 형성하는 단계;

상기 상부전극들이 노출될 때까지 상기 절연막을 평탄화시키며 상기 강유전체 커피시터들 사이의 갭 영역을 채우는 절연막 패턴을 형성하는 단계;

상기 절연막 패턴을 갖는 반도체기판 전면에 하부 플레이트막을 형성하는 단계;

상기 하부 플레이트막을 패터닝하여 상기 행, 방향과 평행한 복수개의 국부 플레이트 라인을 형성하되, 상기 각 국부 플레이트 라인은 서로 이웃하는 적어도 2개의 험을 상에 배열된 상기 상부전극들과 직점적으로 접촉하는 단계; 및

상기 국부 플레이트 라인들을 갖는 반도체기판의 전면 상에 제1 상부 충간절연막 및 제2 상부 충간절연막을 차례로 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 37

제 36 항에 있어서,

상기 하부 플레이트막은 타이타늄, 알루미늄, 질화막, 타이타늄막, 타이타늄-질화막, 미리다음 산화막, 백금막, 브론즈막, 브론즈-산화막, 알루미늄막 또는 이를의 조합막으로 형성하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 38

제 36 항에 있어서,

상기 절연막을 형성하는 단계 전에,

상기 강유전체 커피시터들을 갖는 반도체기판 전면에 수소차단막을 콘포말하게 형성하는 단계를 더 포함하되, 상기 상부전극을 상의 상기 수소차단막은 상기 절연막을 평탄화시키는 동안 제거되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 39

제 36 항에 있어서,

상기 제2 상부 충간절연막 및 상기 제1 상부 충간절연막을 연속적으로 패터닝하여 상기 국부 플레이트 라인을 노출시키고 상기 행, 방향과 평행한 슬릿형 비마을을 형성하는 단계; 및

상기 슬릿형 비마을을 닫는 주 플레이트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 40

제 39 항에 있어서,

특 2003-0001217

상기 제2 상부 충간절연막을 형성하기 전에.

상기 제1 상부 충간절연막 상에 상기 헨 방향과 평행한 특수개의 주 웨드라인들을 형성하는 단계를 더 포함하되, 상기 주 웨드라인들은 상기 슬릿형 비마을의 양 옆에 배치되는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

첨구항 41

제 35 항에 있어서,

상기 상부 충간절연막 및 상기 플레이트 라인들을 형성하는 단계;

상기 강유전체 커피시터들을 형성된 반도체기판의 전면에 절연막을 형성하는 단계;

상기 상부전극들이 노출된 때까지 상기 절연막을 평탄화시키며 상기 강유전체 커피시터들 사이의 겹 영역 를 채우는 절연막 패턴을 형성하는 단계;

상기 절연막 패턴을 갖는 반도체기판의 전면에 제1 및 제2 상부 충간절연막을 차례로 형성하는 단계;

상기 제2 상부 충간절연막 및 상기 제1 상부 충간절연막을 연속적으로 패터닝하여 서로 이웃한 적어도 2 개의 행을 상에 배열된 상기 상부전극들을 노출시키고 상기 헨 방향과 평행한 슬릿형 비마을을 형성하는 단계; 및

상기 슬릿형 비마을을 덮는 주 플레이트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

첨구항 42

제 41 항에 있어서, 상기 절연막은 상기 제1 상부 충간절연막에 대하여 각각 선택비를 갖는 물질막으로 형성하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

첨구항 43

제 41 항에 있어서,

상기 절연막을 형성하는 단계 전에,

상기 강유전체 커피시터들을 갖는 반도체기판 전면에 수소차단막을 촘촘하게 형성하는 단계를 더 포함하되, 상기 상부전극들 상의 상기 수소차단막은 상기 절연막을 평탄화시키는 동안 제거되는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

첨구항 44

제 41 항에 있어서:

상기 제2 상부 충간절연막을 형성하기 전에,

상기 제1 상부 충간절연막 상에 상기 헨 방향과 평행한 특수개의 주 웨드라인들을 형성하는 단계를 더 포함하되, 상기 주 웨드라인들은 상기 슬릿형 비마을의 양 옆에 배치되는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

첨구항 45

제 34 항에 있어서,

상기 강유전체 커피시터들을 형성하는 단계;

상기 하부 충간절연막 상에 하부전극 및 강유전체막을 차례로 형성하는 단계;

상기 강유전체막 및 상기 하부전극을 연속적으로 패터닝하여 상기 헨 방향 및 상기 겹 방향을 따라 2차 원적으로 배열된 특수개의 하부전극 및 상기 하부전극들 상에 적용된 특수개의 강유전체막 패턴들을 형성하는 단계;

상기 하부전극을 사이의 겹 영역 및 상기 강유전체막 패턴을 사이의 겹 영역을 채우는 하부 절연막 패턴을 형성하는 단계;

상기 하부 절연막 패턴을 갖는 반도체기판의 전면에 상부전극막을 형성하는 단계; 및

상기 상부전극막을 패터닝하여 상기 헨 방향과 평행한 특수개의 공통 상부전극을 형성하는 단계를 포함하되, 상기 각 공통 상부전극은 서로 이웃하는 적어도 2개의 행을 상에 배열된 상기 강유전체막 패턴들과 직접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

첨구항 46

제 45 항에 있어서:

상기 강유전체막 패턴의 축복 및 상기 하부 절연막 패턴 사이에 개재된 수소차단막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

첨구항 47

제 45 항에 있어서,

특 2003-0001217

상기 상부 충간절연막 및 상기 틀레이트 라인들을 형성하는 단계는
 상기 강유전체 커패시터들이 형성된 반도체기판의 전면에 상부 절연막을 형성하는 단계;
 상기 상부 절연막을 패터닝하여 상기 공통 상부전극을 노출시키고 상기 행 방향과 평행한 슬릿형 콘택트를 형성하는 단계;
 상기 슬릿형 콘택트를 닫는 국부 틀레이트 라인을 형성하는 단계; 및
 상기 국부 틀레이트 라인을 갖는 반도체기판의 전면 상에 제1 및 제2 상부 충간절연막을 차례로 형성하는 단계를 포함하는 강유전체 메모리소자의 제조방법.

청구항 48

제 47 항에 있어서,

상기 국부 틀레이트 라인은 타이타늄 알루미늄 절화막, 타이타늄막, 타이타늄 절화막, 미리디움막, 미리디움 절화막, 백금막, 루테니움막, 루테니움 절화막, 알루미늄막 또는 이들의 조합막으로 형성하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 49

제 47 항에 있어서,

상기 제2 상부 충간절연막 및 상기 제1 상부 충간절연막을 연속적으로 패터닝하여 상기 국부 틀레이트 라인을 노출시키고 상기 행 방향과 평행한 슬릿형 비마홀을 형성하는 단계; 및

상기 슬릿형 비마홀을 닫는 주 틀레이트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 50

제 49 항에 있어서,

상기 제2 상부 충간절연막을 형성하기 전에,

상기 제1 상부 충간절연막 상에 상기 행 방향과 평행한 복수개의 주 워드라인들을 형성하는 단계를 더 포함하되, 상기 주 워드라인들은 상기 슬릿형 비마홀의 양 옆에 배치되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 51

제 45 항에 있어서,

상기 상부 충간절연막 및 상기 틀레이트 라인들을 형성하는 단계는

상기 강유전체 커패시터들이 형성된 반도체기판의 전면에 제1 및 제2 상부 충간절연막을 차례로 형성하는 단계;

상기 제2 상부 충간절연막 및 상기 제1 상부 충간절연막을 연속적으로 패터닝하여 상기 공통 상부전극을 노출시키면서 상기 행 방향과 평행한 슬릿형 비마홀을 형성하는 단계; 및

상기 슬릿형 비마홀을 닫는 주 틀레이트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 52

제 51 항에 있어서,

상기 제2 상부 충간절연막을 형성하기 전에,

상기 제1 상부 충간절연막 상에 상기 행 방향과 평행한 복수개의 주 워드라인들을 형성하는 단계를 더 포함하되, 상기 주 워드라인들은 상기 슬릿형 비마홀의 양 옆에 배치되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 53

제 34 항에 있어서,

상기 강유전체 커패시터들을 형성하는 단계는

상기 하부 충간절연막 상에 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배열된 복수개의 하부전극들을 형성하는 단계;

상기 하부전극을 갖는 반도체기판 전면에 강유전체막 및 상부전극막을 차례로 형성하는 단계; 및

상기 상부전극막 및 상기 강유전체막을 연속적으로 패터닝하여 상기 행 방향과 평행한 복수개의 공통 강유전체막 패턴들 및 상기 복수개의 강유전체막 패턴들 상에 적용된 복수개의 공통 상부전극들을 형성하되, 상기 각 공통 강유전체막 패턴은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 하부전극들의 상부면들과 적접적으로 접촉하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 54

[첨부그림 17]

특 2003-0001217

제 53 항에 있어서,

상기 상부 충간절연막 및 상기 플레이트 라인들을 형성하는 단계는

상기 강유전체 커패시터를 사이의 캠 영역을 채우는 절연막 패턴을 형성하는 단계;

상기 절연막 패턴을 갖는 반도체기판 전면에 하부 플레이트막을 형성하는 단계;

상기 하부 플레이트막을 패터닝하여 상기 공통 상부전극층을 덮는 복수개의 국부 플레이트 라인들을 형성하는 단계; 및

상기 국부 플레이트 라인을 갖는 반도체기판의 전면에 제1 상부 충간절연막 및 제2 상부 충간절연막을 차례로 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 55

제 54 항에 있어서,

상기 하부 플레이트막은 타이타늄 알루미늄 절화막, 타이타늄막, 타이타늄 절화막, 미리디움 산화막, 백금막, 투데니움막, 투데니움 산화막, 알루미늄막 또는 미음의 조합막으로 형성하는 것을, 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 56

제 54 항에 있어서,

적어도 상기 공통 강유전체막 패턴 및 상기 절연막 패턴 사이에 개재된 수소차단막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 57

제 54 항에 있어서,

상기 제2 상부 충간절연막 및 상기 제1 상부 충간절연막을 연속적으로 패터닝하여 상기 국부 플레이트 라인을 노출시키면서 상기 행 방향과 평행한 슬릿형 비마홀을 형성하는 단계; 및

상기 슬릿형 비마홀을 덮는 주 플레이트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 58

제 57 항에 있어서,

상기 제2 상부 충간절연막을 형성하기 전에,

상기 제1 상부 충간절연막 상에 상기 행 방향과 평행한 복수개의 주 웨드라이너들을 형성하는 단계를 더 포함하되, 상기 주 웨드라이너들은 상기 슬릿형 비마홀의 양 끝에 배치되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 59

제 53 항에 있어서,

상기 상부 충간절연막 및 상기 플레이트 라인들을 형성하는 단계는

상기 강유전체 커패시터들이 형성된 반도체기판의 전면에 제1 및 제2 상부 충간절연막을 차례로 형성하는 단계;

상기 제2 상부 충간절연막 및 상기 제1 상부 충간절연막을 연속적으로 패터닝하여 상기 공통 상부전극층을 노출시키면서 상기 행 방향과 평행한 슬릿형 비마홀을 형성하는 단계; 및

상기 슬릿형 비마홀을 덮는 주 플레이트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 60

제 59 항에 있어서,

상기 제1 상부 충간절연막을 형성하기 전에

상기 강유전체 커패시터를 사이의 캠 영역을 채우는 절연막 패턴을 형성하는 단계를 더 포함하는 것을, 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 61

제 60 항에 있어서,

적어도 상기 공통 강유전체막 패턴 및 상기 절연막 패턴 사이에 개재된 수소차단막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 62

제 59 항에 있어서,

[첨부그림 18]

특 2003-000121.7

상기 제2 상부 충간접연막을 형성하기 전에:

상기 제1 상부 충간접연막 상에 상기 행 방향과 평행한 복수개의 주 웨드라인들을 형성하는 단계를 더 포함하되, 상기 주 웨드라인들은 상기 슬릿형 비아홀의 양 옆에 배치되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 63

반도체기판 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 셀 트랜지스터들을 형성하는 단계;

상기 셀 트랜지스터들을 갖는 반도체기판의 전면에 하부 충간접연막을 형성하는 단계;

상기 하부 충간접연막 상에 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배치된 복수개의 강유전체 커퍼시터들을 형성하되, 상기 각 강유전체 커퍼시터는 상기 하부 충간접연막을 관통하는 스토리지 노드 혼각홀을 통하여 상기 각 셀 트랜지스터와 전기적으로 접속되는 단계;

상기 복수개의 강유전체 커퍼시터들을 갖는 반도체기판 상에 상기 행 방향과 평행하게 배치된 복수개의 국부 플레이트 라인들을 형성하되, 상기 각 국부 플레이트 라인은 서로 이동한 적에도 2개의 행들 상에 배열된 상기 강유전체 커퍼시터들의 상부면들과 직접적으로 접속하는 단계; 및

상기 복수개의 국부 플레이트 라인들을 갖는 반도체기판의 전면에 제1 및 제2 상부 충간접연막을 차례로 형성하는 단계를 포함하는 강유전체 메모리소자의 제조방법.

청구항 64

제 63 항에 있어서,

상기 국부 플레이트 라인들은 타이타늄 알루미늄 질화막, 타이타늄막, 타이타늄 질화막, 미리디뮴막, 미리디뮴 산화막, 백금막, 투데나움막, 투데나움 산화막, 알루미늄막 또는 이들의 조합막으로 형성하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 65

제 63 항에 있어서,

상기 복수개의 국부 플레이트 라인들을 형성하는 단계;

상기 복수개의 강유전체 커퍼시터들 사이의 간 영역을 채우는 접연막 패턴을 형성하는 단계;

상기 접연막 패턴을 갖는 반도체기판의 전면에 하부 플레이트막을 형성하는 단계; 및

상기 하부 플레이트막을 패터닝하여, 상기 행 방향과 평행한 복수개의 국부 플레이트 라인들을 형성하는 단계를 포함하되, 상기 각 국부 플레이트 라인은 서로 이동하는 적에도 2개의 행들 상에 배열된 상기 강유전체 커퍼시터들의 상부면들과 직접적으로 접속하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 66

제 63 항에 있어서,

상기 제2 상부 충간접연막 및 상기 제1 상부 충간접연막을 연속적으로 패터닝하여 상기 국부 플레이트 라인을 노출시키면서 상기 행 방향과 평행한 슬릿형 비아홀을 형성하는 단계; 및

상기 슬릿형 비아홀을 막는 주 플레이트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 67

제 66 항에 있어서,

상기 제2 상부 충간접연막을 형성하기 전에

상기 제1 상부 충간접연막 상에 상기 행 방향과 평행한 복수개의 주 웨드라인들을 형성하는 단계를 더 포함하되, 상기 주 웨드라인들은 상기 슬릿형 비아홀의 양 옆에 배치되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 68

반도체기판 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 셀 트랜지스터들을 형성하는 단계;

상기 셀 트랜지스터들을 갖는 반도체기판의 전면에 하부 충간접연막을 형성하는 단계;

상기 하부 충간접연막 상에 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배치된 복수개의 강유전체 커퍼시터들을 형성하되, 상기 각 강유전체 커퍼시터는 상기 하부 충간접연막을 관통하는 스토리지 노드 혼각홀을 통하여 상기 각 셀 트랜지스터와 전기적으로 접속되는 단계;

상기 복수개의 강유전체 커퍼시터들을 갖는 반도체기판의 전면에 제1 및 제2 상부 충간접연막들을 차례로 형성하는 단계;

상기 제2 상부 충간접연막 및 상기 제1 상부 충간접연막을 연속적으로 패터닝하여 서로 이동한 적에도 2개의 행들 상에 배열된 상기 강유전체 커퍼시터들의 상부면들을 노출시키고 상기 행 방향과 평행한 슬릿

특 2003-0001217

형 비마홀을 형성하는 단계; 및

상기 슬릿형 비마홀을 둔 주 플레이트 라인을 형성하는 단계를 포함하는 강유전체 메모리소자의 제조방법.

청구항 69

제 68 항에 있어서,

상기 제2 상부 층간접연막을 형성하기 전에

상기 제1 상부 층간접연막 상에 상기 행 방향과 평행한 복수개의 주 워드라인들을 형성하는 단계를 더 포함하되, 상기 주 워드라인들은 상기 슬릿형 비마홀의 양 옆에 배치되는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 70

반도체기판:

상기 반도체기판 상에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커퍼시터들; 및

상기 복수개의 강유전체 커퍼시터들을 높고 상기 행 방향 및 상기 열 방향을 따라 2차원적으로 배열된 복수개의 국부 플레이트 패턴들을 포함하되, 상기 국부 플레이트 패턴들이 각각은 적어도 2개의 인접한 행을 및 적어도 2개의 인접한 열을 내에 배열된 강유전체 커퍼시터들의 상부면들과 직접 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 71

제 70 항에 있어서,

상기 국부 플레이트 패턴들은 타이타늄 알루미늄 절화막, 타이타늄막, 타이타늄 절화막, 아리디움막, 아리디움 산화막, 백금막, 루테니움막, 루테니움 산화막, 알루미늄막 또는 이들의 조합막인 것을 특징으로 하는 강유전체 메모리소자.

청구항 72

제 70 항에 있어서,

상기 강유전체 커퍼시터들의 각각은 차례로 적용된 하부전극, 강유전체막 패턴 및 상부전극을 포함하되, 상기 국부 플레이트 패턴들의 각각은 상기 적어도 2개의 인접한 행을 및 상기 적어도 2개의 인접한 열을 내에 배열된 상부전극들의 상부면들과 직접 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 73

제 72 항에 있어서,

상기 국부 플레이트 패턴들의 각각은 서로 인접한 2개의 행을 및 서로 인접한 2개의 열을 내에 배열된 4개의 상부전극들의 상부면들과 직접 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 74

제 70 항에 있어서,

상기 국부 플레이트 패턴들을 갖는 반도체기판 상에 상기 행 방향과 평행하도록 배치된 복수개의 주 플레이트 리인들을 더 포함하되, 상기 주 플레이트 리인들의 각각은 상기 행 방향을 따라 배치된 상기 복수개의 국부 플레이트 패턴들과 전기적으로 접속되는 것을 특징으로 하는 강유전체 메모리소자.

청구항 75

제 74 항에 있어서,

상기 주 플레이트 리인들의 각각은 상기 행 방향과 평행하게 배열된 복수개의 비마홀들, 또는 하나의 슬릿형 비마홀을 통하여 상기 복수개의 국부 플레이트 패턴들과 전기적으로 접속되는 것을 특징으로 하는 강유전체 메모리소자.

청구항 76

제 75 항에 있어서,

상기 슬릿형 비마홀 또는 상기 복수개의 비마홀들의 양 옆에 상기 행 방향과 평행하게 배치된 주 워드라인들(main word lines)을 더 포함하되, 상기 주 워드라인들은 상기 국부 플레이트 패턴들보다 높고, 상기 주 플레이트 리인들보다 낮은 위치에 배치되는 것을 특징으로 하는 강유전체 메모리소자.

청구항 77

제 1 항에 있어서,

상기 플레이트 라인은 적어도 2개의 인접한 행을 및 적어도 하나의 열 내에 배열된 상기 강유전체 커퍼시터들과 접촉하는 것을 특징으로 하는 강유전체 메모리소자.

청구항 78

제 4 항에 있어서,

[첨부그림 20]

특 2003-0001217

상기 슬릿형 비마홀은 적어도 2개의 인접한 헴들 및 적어도 하나의 열 내에 배열된 상기 강유전체 커피시터들을 노출시키는 것을 특징으로 하는 강유전체 메모리소자.

청구항 79

제 7 항에 있어서,

상기 슬릿형 비마홀은 적어도 2개의 인접한 헴들 및 적어도 하나의 열 내에 배열된 상기 강유전체 커피시터들을 상기 국부 플레이트 라인을 노출시키는 것을 특징으로 하는 강유전체 메모리소자.

청구항 80

제 34 항에 있어서,

상기 플레이트 라인은 적어도 2개의 헴들 및 적어도 하나의 열 내에 배열된 상기 강유전체 커피시터들의 상부면들과 접촉하도록 형성하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

청구항 81

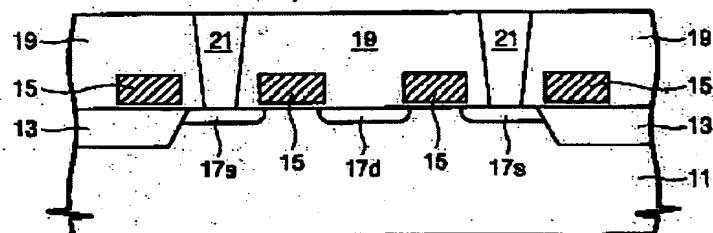
제 39 항에 있어서,

상기 슬릿형 비마홀은 적어도 2개의 인접한 헴들 및 적어도 하나의 열 내에 배열된 상기 강유전체 커피시터들을 상기 국부 플레이트 라인을 노출시키도록 형성하는 것을 특징으로 하는 강유전체 메모리소자의 제조방법.

도면

도면1

(종래 기술)

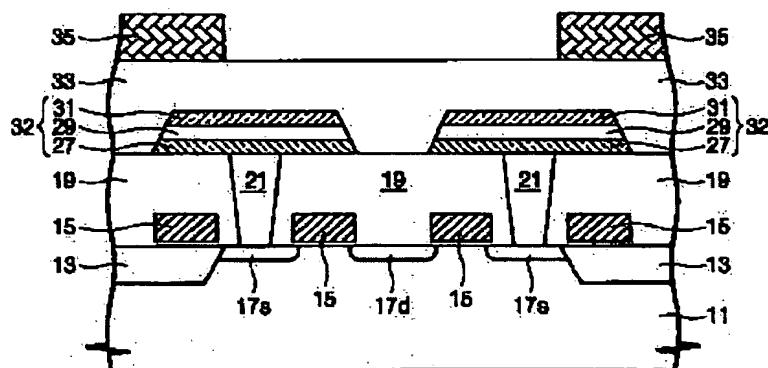


[첨부그림 21]

2003-0001217

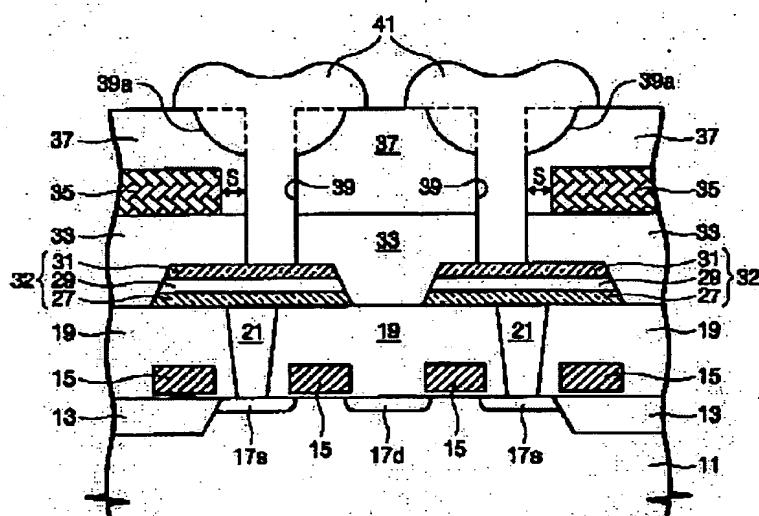
도면2

(종래 기술)



도면3

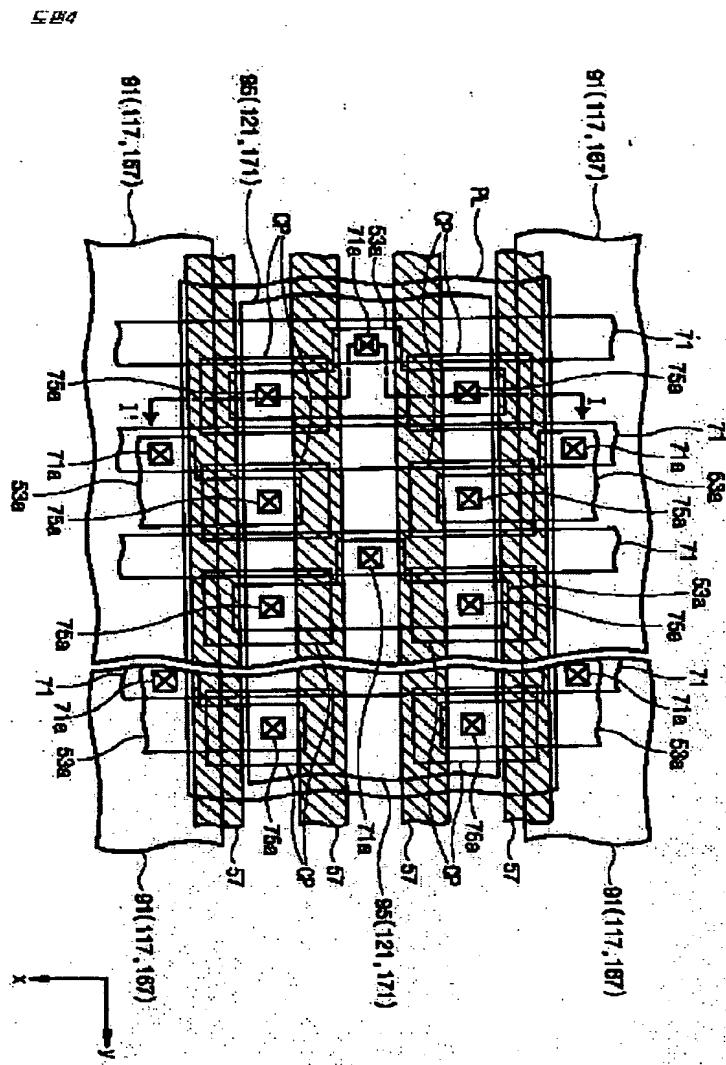
(종래 기술)



35-21

[첨부그림 22]

2003-0001217

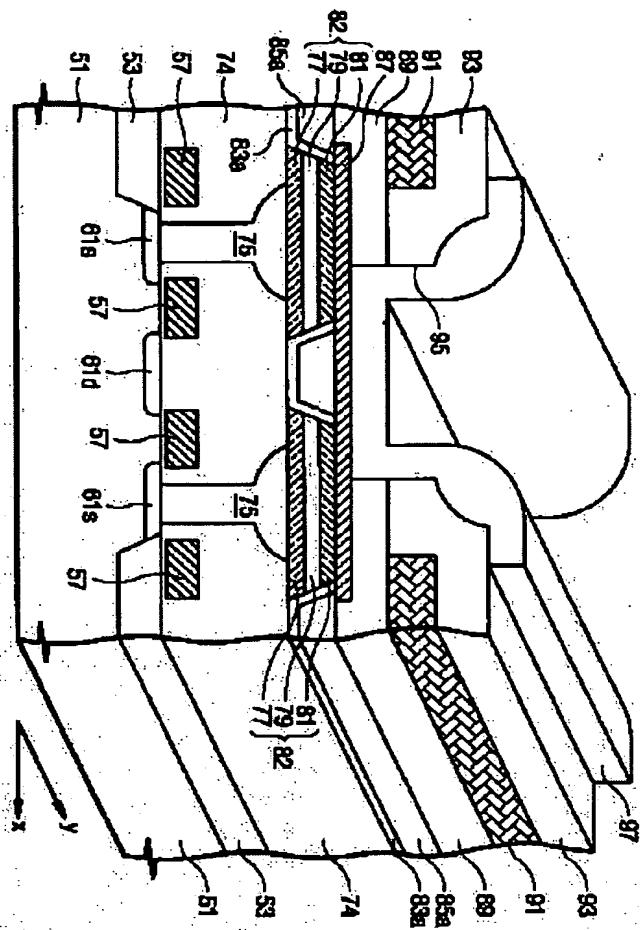


35-22

[첨부그림 23]

2003-0001217

도면5

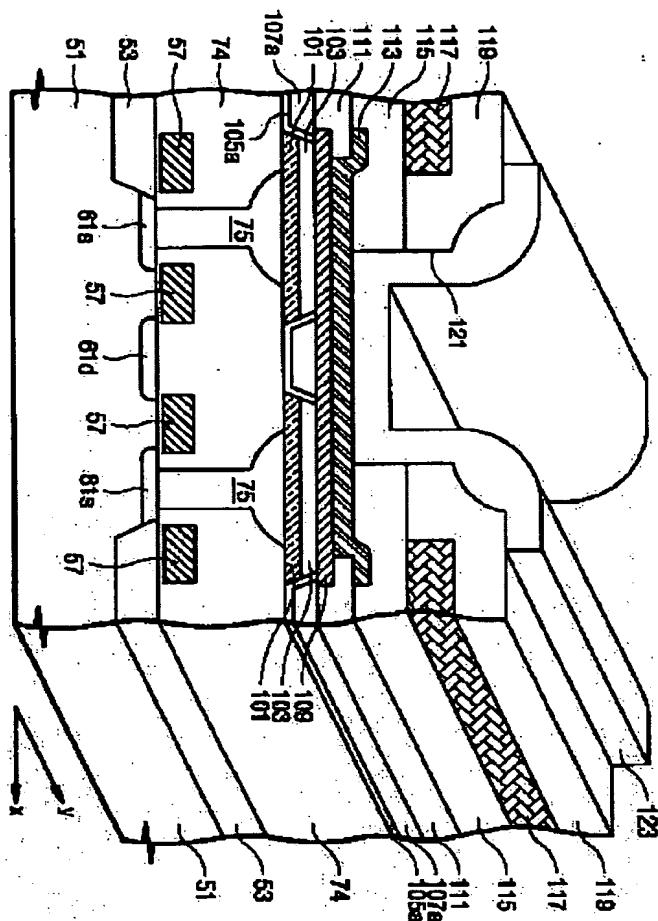


35-23

[첨부그림 24]

2003-0001217

도면

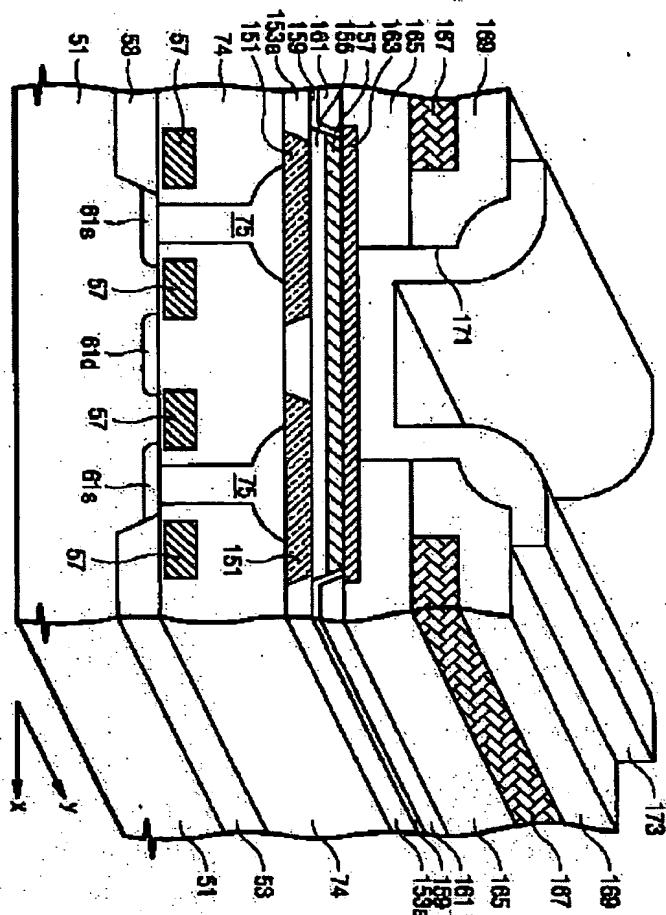


35-24

[첨부그림 25]

2003-0001217

도면

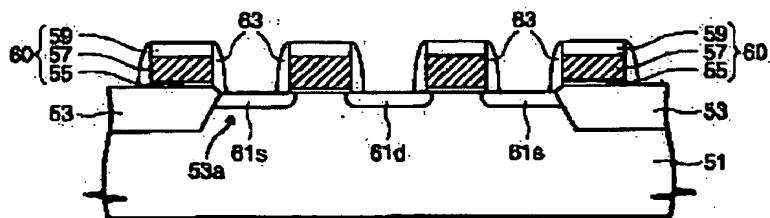


35-25

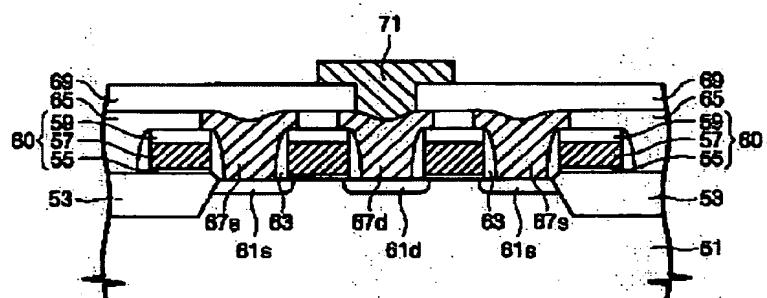
[첨부그림 26]

2009-0001217

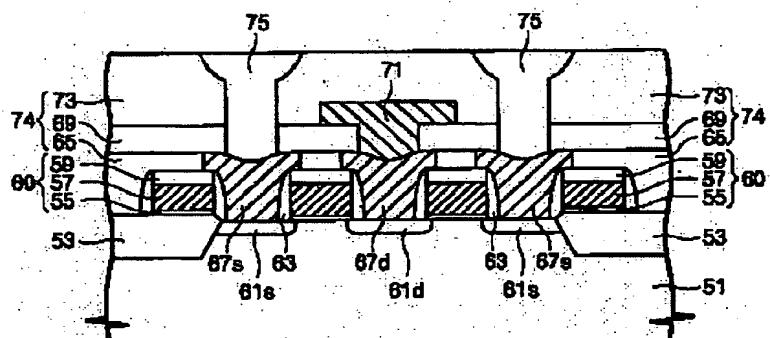
도면8



도면9



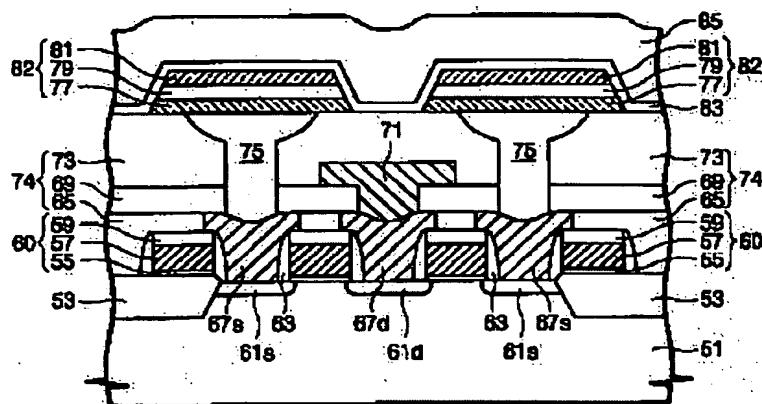
도면10



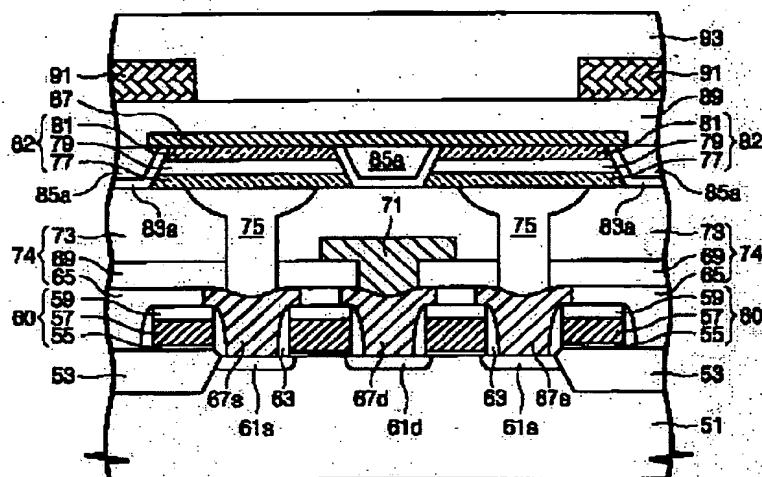
[첨부그림 27]

2003-0001217

도면11

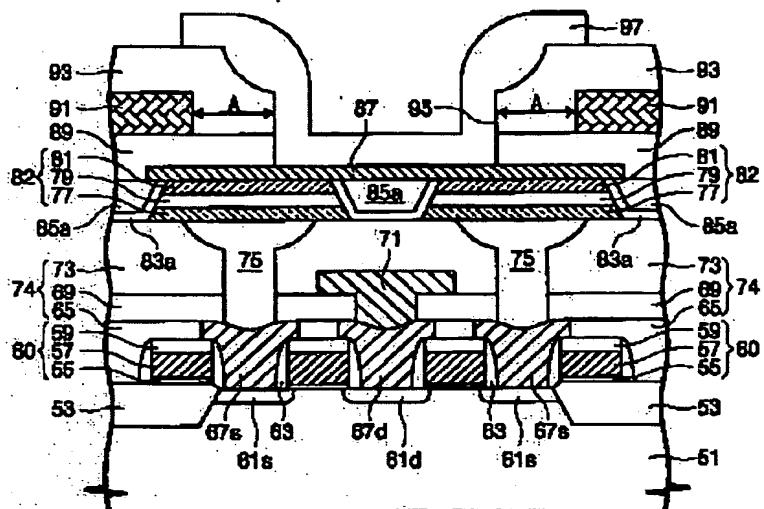


도면12

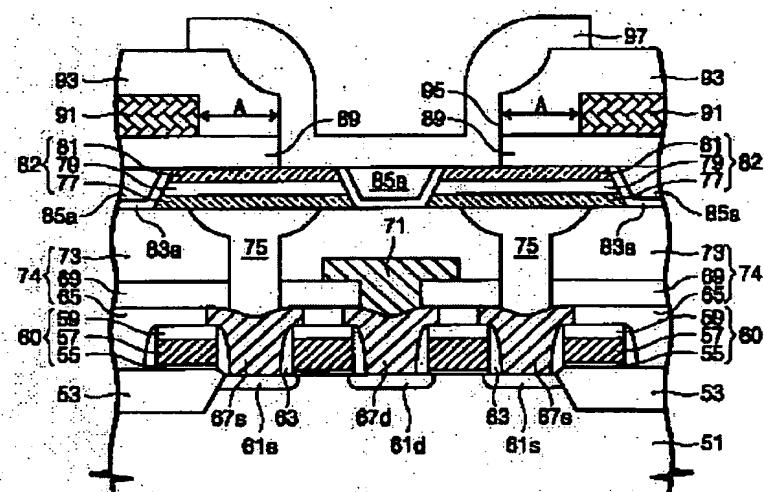


2003-0001217

도면13



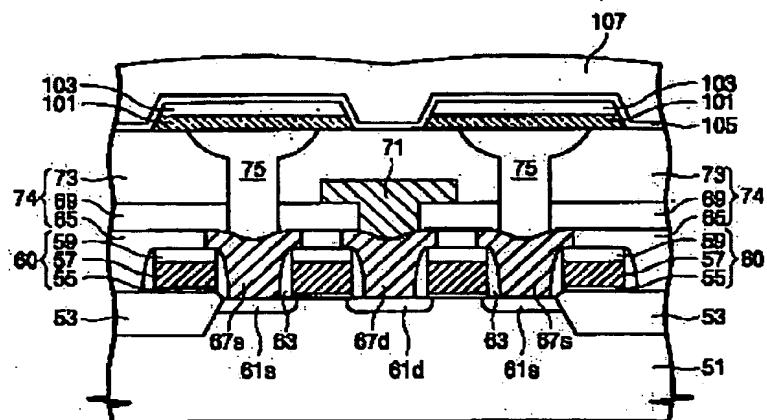
도면14



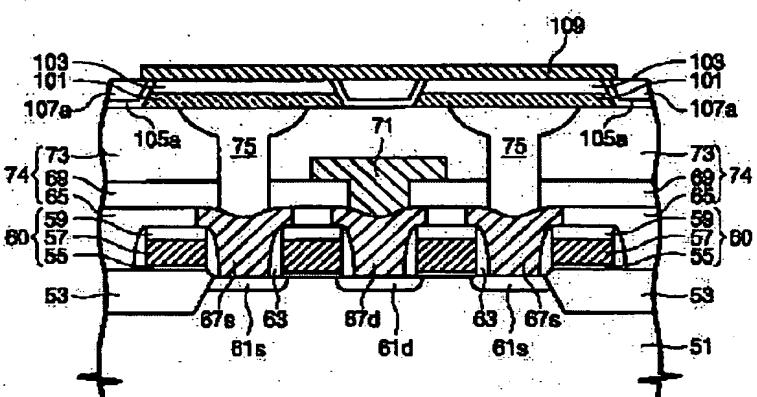
[첨부그림 29]

2003-0001217

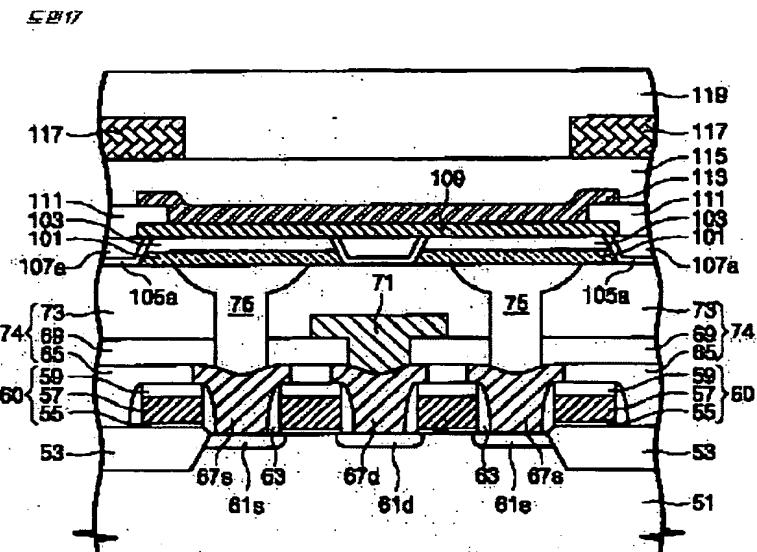
도면15



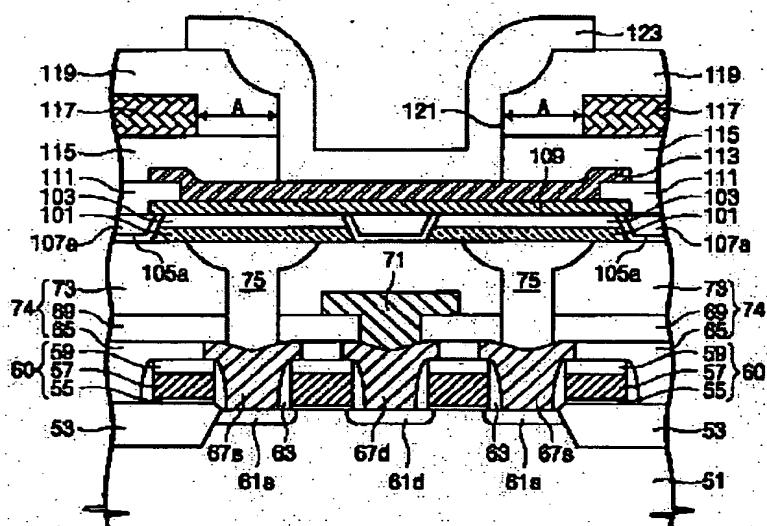
도면16



2003-0001217



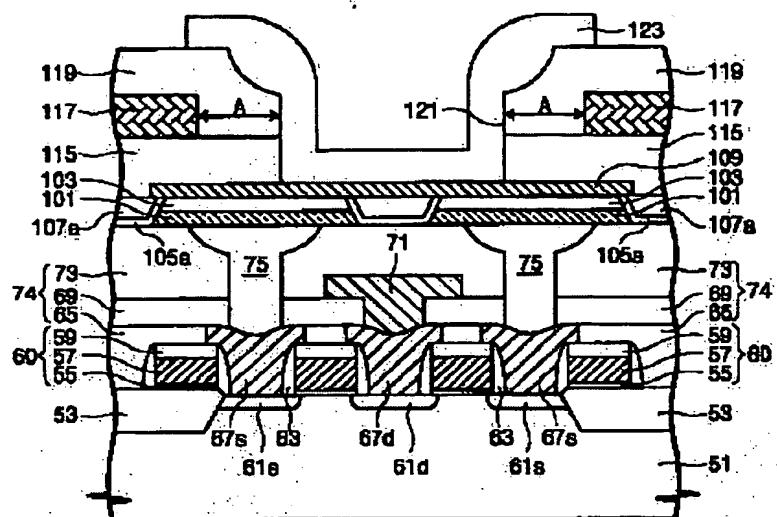
五四三



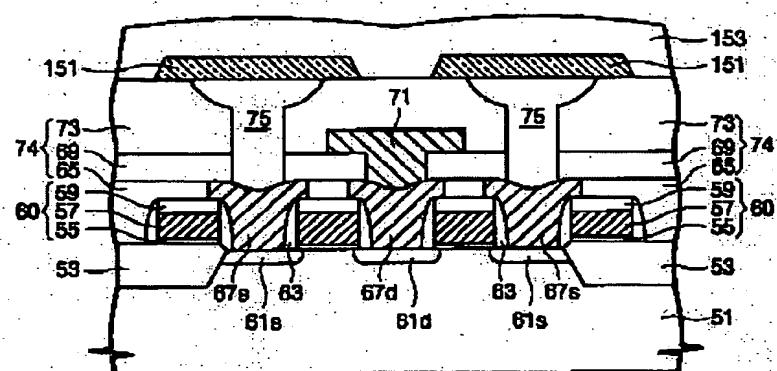
35-30

2003-0001217

도면19



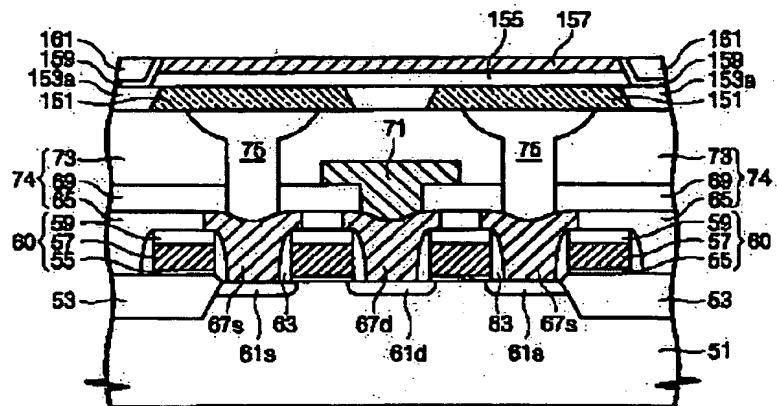
도면20



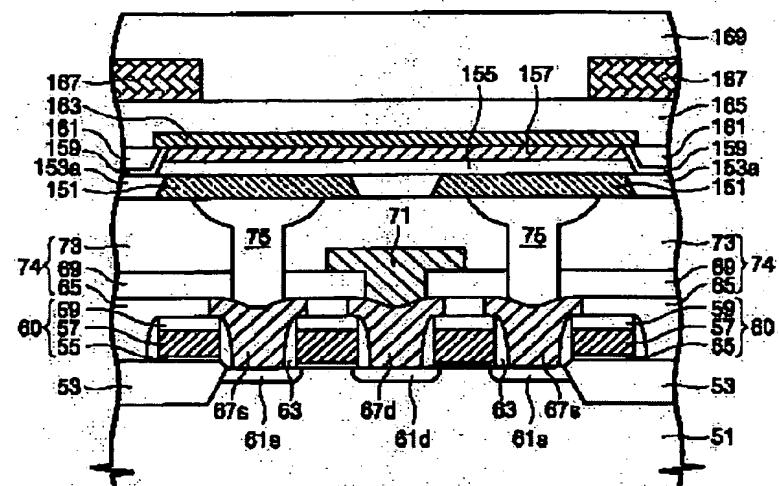
[첨부그림 32]

- 2003-0001217

도면21



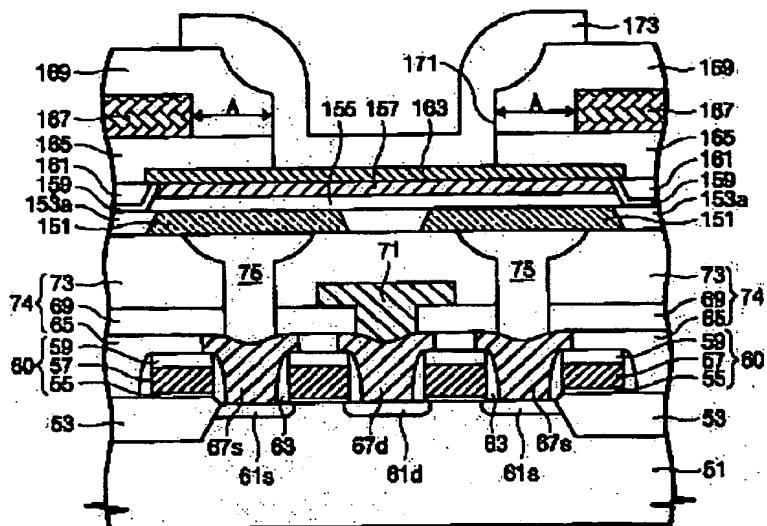
도면22



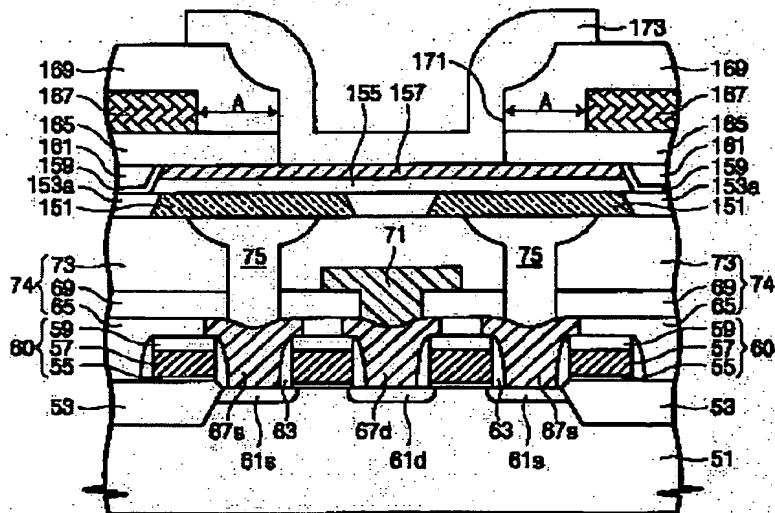
[첨부그림 33]

특 2003-0001217

도면23

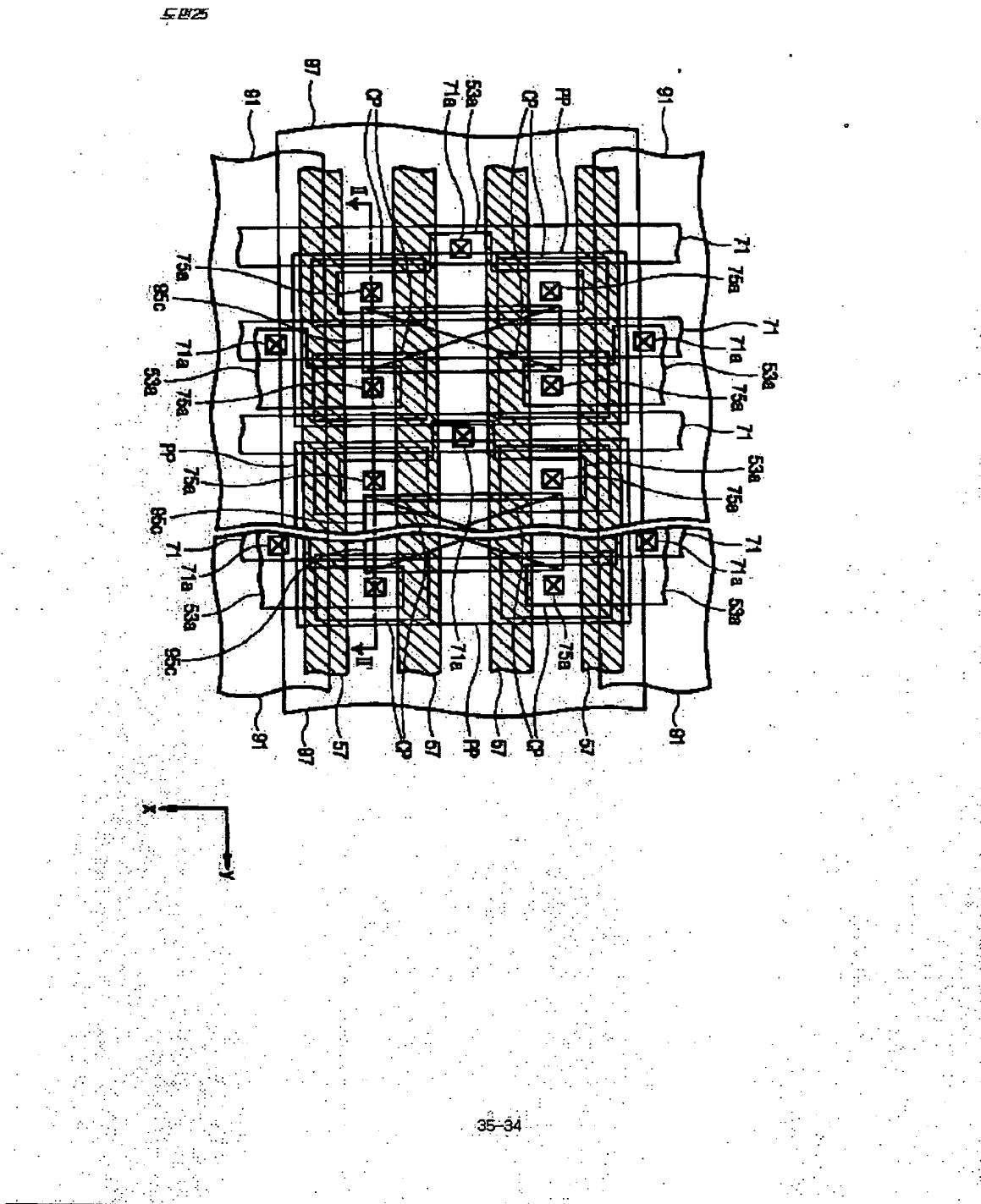


도면24



[첨부그림 34]

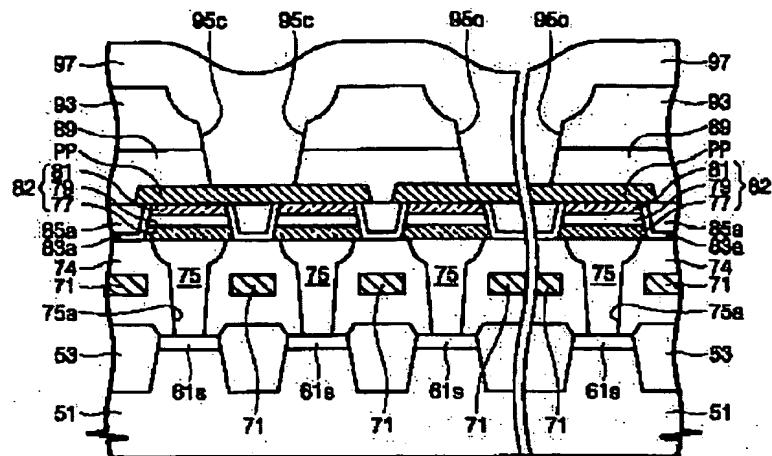
2003-0001217



[첨부그림 35]

2003-0001217

5228



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.